

- 1 Forschungsinstitut der Forschungsgemeinschaft für Elektrische Anlagen und Stromwirtschaft e.V.
- 2 Steinbeis-Transferzentrum Mikroelektronik an der Fachhochschule Mannheim

Namen der Forschungsstellen

12206 N

AiF-Vorhaben-Nr.

01.11.1999 bis 31.12.2000

Bewilligungszeitraum

**Schlussbericht für den Zeitraum : 1.11.1999 bis 31.12.2000**

(Forschungsstellen 1 von 2 bis 2 von 2)

zu dem aus Haushaltsmitteln des BMWi über die



geförderten Forschungsvorhaben

Forschungsthema :

**Echtzeitstörunterdrückung bei Teilentladungsmessungen vor Ort**

Mannheim, 16.5.2001  
Ort, Datum

  
\_\_\_\_\_  
Unterschrift des Projektleiters der FS 1

Mannheim, 14.05.2001  
Ort, Datum

  
\_\_\_\_\_  
Unterschrift des Projektleiters der FS 2

**Karl-Heinz Weck**  
**Tilmann Krüger**

## Echtzeit-Störunterdrückung bei Teilentladungsmessungen vor Ort

Abschlußbericht

AiF-Vorhaben Nr. 12206 N

Forschungsgemeinschaft für Elektrische Anlagen und Stromwirtschaft (FGH)  
Dr.-Ing. Karl-Heinz Weck  
Hallenweg 40  
68219 Mannheim

Steinbeis-Transferzentrum Mikroelektronik und Sensorik an der Fachhochschule Mannheim  
Institut für Elektronische Steuerungstechnik  
Prof. Tilmann Krüger  
Windeckstr. 110  
68163 Mannheim

eMail:  
weck@fgh-ma.de  
krg@fh-mannheim.de

## Zusammenfassung

---

Das Echtzeit-Störunterdrückungs-System ESS besteht aus zwei Hauptelementen:

- 1. Ermittlung der Übertragungsfunktion und
- 2. Echtzeit-Störunterdrückung bei der Teilentladungsmessungen.

Das Steinbeis-Transferzentrum Mikroelektronik und Sensorik (STZ) und die Forschungsgemeinschaft Elektrische Anlagen und Stromwirtschaft e.V. (FGH) haben die Lösungsansätze aus einem vorausgegangenem Forschungsvorhaben zur Echtzeit-Störunterdrückung bei Teilentladungsmessungen vor Ort auf Digitale Signalprozessoren übertragen.

Dabei sind alle zum Antragszeitpunkt als im Projektablauf rechtzeitig lieferbar angekündigten oder bereits lieferbaren Prozessoren der beiden führenden DSP-Anbieter berücksichtigt worden. Zum Antragszeitpunkt wäre der TigerSHARC von Analog Devices (AD) das geeignete Bauelement gewesen. Für ihn sollte auf dem Weg über SHARC der Code entwickelt und dann auf ihn übertragen werden.

Die notwendigen Schaltungen zur analogen Signalaufbereitung, zur Analog-Digital-Umsetzung und für ein DSP-Board auch zur Digital-Analog-Umsetzung des Ergebnissignals sind realisiert worden.

Aufgrund der beschriebenen Marktsituation für Rechnerbauelemente kam es zu beträchtlichen Verzögerungen in den zugesagten Lieferungen. Zur Durchführung des Projektes war es erforderlich, kurz vor Ablauf der Laufzeit des Projekts auf die DSP-Produkte des Wettbewerbers umzusteigen, wobei das 2. Hauptelement als die zeitkritische Komponente zuerst auf den Prozessor TMS320C6701 von Texas Instruments (TI) umgestellt, mit ihm realisiert und ausgetestet wurde. Wegen der von Anbeginn an klar vorhergesagten etwas zu geringen Prozessorleistung war eine so nicht geplante weitgehende und aufwendige Kodeoptimierung erforderlich.

Dies hat dazu geführt, daß die beiden Hauptelemente des Systems auf nicht kompatiblen Rechnerboards entwickelt wurden. Nach Abschluß des Forschungsvorhabens erfüllen die beiden Elemente zwar die gestellten Anforderungen, sie sind aber wegen der unterschiedlichen Programmiersprachen und Systemarchitekturen nicht kompatibel, so daß ein vollständiges Störunterdrückungssystem auf einem Prozessor nicht fertiggestellt werden konnte. Die hierfür erforderlichen Zusatzarbeiten werden z.Z. ohne Förderung durchgeführt und mit der Fertigstellung eines Prototyps wird in der ersten Jahreshälfte 2001 gerechnet.

Das Ziel des Forschungsvorhabens wurde nur teilweise erreicht.

Das AiF-Forschungsvorhaben Nr. 12206N wurde aus Haushaltsmitteln des Bundesministeriums für Wirtschaft und Technologie (BMWi) über die Arbeitsgemeinschaft industrieller Forschungsvereinigungen "Otto von Guericke" e.V. (AiF) gefördert.

## 1. Forschungsthema

---

### **Echtzeit-Störunterdrückung bei Teilentladungsmessungen vor Ort**

**Es handelt sich um ein Forschungsvorhaben im Initiativprogramm  
"Zukunftstechnologien für kleinere und mittlere Unternehmen".**

Das Projekt wurde gemeinsam von der Forschungsgemeinschaft für Elektrische Anlagen und Stromwirtschaft (FGH) und dem Steinbeis-Transferzentrum Mikroelektronik und Sensorik (STZ) durchgeführt.

## 2. Aufgabenstellung

---

Für kunststoffisolierte Betriebsmittel der Energietechnik hat sich die Teilentladungsmessung als einziges Verfahren zur Kontrolle der Isolationsqualität erwiesen. Es bestehen daher starke Bestrebungen, eine solche Messung auch vor Ort durchführen zu können, um einen kostspieligen oder in vielen Fällen unmöglichen Transport in ein geeignetes Labor zu vermeiden. Bei Teilentladungsmessungen vor Ort haben die hier vorhandenen äußeren Störungen die Durchführung solcher Messungen erschwert und insbesondere bei Kabelanlagen in vielen Fällen ein aussagefähiges Meßergebnis verhindert.

Die FGH hat in einem abgeschlossenen Forschungsvorhaben ein Verfahren entwickelt, welches die Reduzierung von vor Ort vorhandenen Störungen auf etwa ein Zehntel ermöglicht. Das Verfahren beruht auf der gleichzeitigen Messung der Störungen am Kabel und an einem beliebigen Referenzelement, wie einer Antenne, mit Bestimmung der Übertragungsfunktion zwischen den beiden Signalen vor der Prüfung ohne anliegende Wechselspannung und Korrektur des am Prüfling mit anliegender Wechselspannung gemessenen Teilentladungssignals mit Hilfe des Referenzsignals und der Übertragungsfunktion.

Das Verfahren hat sich in den untersuchten Teilentladungsmessungen an Kabelanlagen als sehr erfolgreich erwiesen. Allerdings konnte es nicht in Echtzeit angewendet werden, da die vorhandene Technik der Signalprozessoren für die große Rate geforderter Rechenoperationen nicht ausreichte. Geeignete Prozessoren sind jetzt auf dem Markt oder werden in Kürze erwartet, so daß eine Echtzeitrealisierung des Systems möglich geworden ist.

### 3. Forschungsziel und geplanter Lösungsweg

---

Das Ziel ist, den Prototypen eines Gerätes zu entwickeln und zu erstellen, das die Echtzeitstörunterdrückung bei der Teilentladungsmessung vor Ort nach den vorhandenen Verfahren ermöglicht. Der Lösungsweg ist in zwei Schritte geteilt. Im ersten Schritt wird ein System, basierend auf dem Signalprozessor ADSP21160M, Taktfrequenz 100 MHz, erstellt, an dem die Umsetzung der bei der Entwicklung erstellten Programme auf die für den Signalprozessor benötigte Programmiersprache und das Zusammenwirken der analogen Verstärkerteile mit den digitalen Systemen erprobt werden. Im zweiten Schritt erfolgt die Umsetzung auf einen heute erst vorläufig angekündigten Prozessor mit einer Taktfrequenz von 200 MHz, von der die Echtzeit-Störunterdrückung mit den geforderten Eigenschaften ohne Einschränkung erwartet wird.

Aus den in der ausführlichen Beschreibung zum Forschungsantrag dargestellten Aufgaben sind von der Forschungsstelle 2 (STZ) die Erstellung des Signalprozessor-Programms, die Erstellung des endgültigen Meßsystems und zusammen mit der Forschungsstelle 1 (FGH) die Erprobung des Meßsystems im Labor und vor Ort durchzuführen.

### 4. Ausgangslage

---

Die für die Störunterdrückung geeigneten Verfahren wurden in einem ebenfalls von der AIF geförderten Forschungsvorhaben erprobt [0]. Allerdings konnten die Verfahren nicht in Echtzeit angewendet werden, da die hierfür erforderlichen Bauelemente nicht zur Verfügung standen.

Eine erste Diskussion der benötigten Signalverarbeitungsleistung zur Implementierung des vorgestellten Verfahrens für Echtzeitmessungen und -auswertungen im Feld hat gezeigt, daß folgende Anforderungen zu berücksichtigen sind:

- eine Meßwerterfassung von jeweils 1 bis 4 Millionen Abtastwerten pro Sekunde von zwei Meßstellen mit einer Auflösung von 12 (max. 16) Bit
- eine Verarbeitung in Echtzeitrahmen von 128 Mikrosekunden
- zwei parallele Verfahren, zeitversetzt um die halbe Rahmendauer
- innerhalb jedes Verfahrens
  - zwei Fouriertransformationen der Abtastwerte eines Rahmens
  - eine Multiplikation eines Spektrums mit einer Übertragungsfunktion
  - eine Subtraktion zweier Spektren
  - eine inverse Fourier-Transformation des Spektrums in den Zeitbereich
- eine Zusammensetzung der überlappenden Rahmen zu einem Ausgangssignal
- die Ausgabe des Ausgangssignals

Die Rahmendauer von 128 Mikrosekunden entspricht ebenso wie die Anzahl  $N$  der Meßwerte eines Rahmens der gewünschten Frequenzauflösung von 16 kHz. Die Umwandlung der Zeitsignale in Spektren erfolgt durch die diskrete Fouriertransformation, die Rückumwandlung durch die inverse diskrete Fouriertransformation in Form von FFT- bzw. IFFT-Algorithmen.

Bei Verwendung von Radix-2-FFTs ist der Aufwand etwa proportional zu  $N \cdot \lg N$ . Als Bezugsbasis für die Leistungsbeschreibung von DSPs wird oft die Zeit zur Durchführung einer 1024-Punkte-Radix-2-FFT gewählt. Die erforderliche Leistung kann grob mit vier FFTs pro Verfahren, also acht FFTs in 128 Mikrosekunden abgeschätzt werden.

In der folgenden Tabelle ist der Aufwand relativ zu dieser Bezugsbasis angegeben:

- der Faktor beschreibt, um wie viel schneller eine kleinere Anzahl von Meßpunkten durchgerechnet werden kann,
- die Zeit pro FFT der Bezugsbasis gibt an, wie lange diese für den jeweiligen Prozessor betragen dürfte, um noch die Minimalanforderungen zu erreichen, und
- die Meßfrequenz stellt dar, wie viele Messungen pro Zeiteinheit bei konstanter Frequenzauflösung erfolgen würden.

Damit gibt sich für die hier interessanten Anzahlen  $N$  der Meßwerte eines Rahmens:

| N    | Aufwand | Faktor | Zeit/FFT(1024 P.) | Meßfreq. |
|------|---------|--------|-------------------|----------|
| 128  | 0,0875  | 11,43  | 183 $\mu$ s       | 1 MHz    |
| 256  | 0,2000  | 5,00   | 80 $\mu$ s        | 2 MHz    |
| 512  | 0,4500  | 2,22   | 36 $\mu$ s        | 4 MHz    |
| 1024 | 1,000   | 1,00   | 16 $\mu$ s        | 8 MHz    |
| 2048 | 2,200   | 0,45   | 7,3 $\mu$ s       | 16 MHz   |
| 4096 | 4,800   | 0,208  | 3,4 $\mu$ s       | 32 MHz   |

Eine Durchsicht der aktuell verfügbaren oder für den angestrebten Zeitkorridor angekündigten DSPs zeigt, daß das Verfahren wie angedacht realisierbar ist.

In Ein-Prozessor-Lösungen kommt beispielsweise der Prozessor ADSP21160M in Frage, der bei einer Taktfrequenz von 100 Mhz für eine komplexe 1024-Punkt-FFT eine Zeit von 91  $\mu$ s benötigt und damit bei  $F_{\text{mess}} = 1$  MHz eine Rahmenbreite von  $N=128$  sicher und vielleicht auch gerade noch  $N=256$  abdeckt. Von diesem DSP lassen sich sechs Prozessoren zu einem Cluster ohne Zusatzlogik verbinden und damit  $N$  auf bis zu 1024 bringen und/oder die Meßfrequenz erhöhen.

Alternativ oder in einem zweiten Schritt kann beispielsweise ein angekündigter Prozessor TigerSHARC eingesetzt werden, der eine komplexe 256-Punkte-FFT mit einem 16-Bit-Datenformat in 4,4  $\mu$ s bei einer Taktfrequenz von 250 Mhz durchführt, eine komplexe 1024-Punkte-FFT mit einem 32-Bit-Datenformat in 41  $\mu$ s. Damit könnte wohl eine Abtastfrequenz von 2 MHz mit N=256 abgedeckt werden.

Die beiden Prozessortypen stellen nicht die volle auf dem Markt angekündigte Bandbreite von geeigneten Prozessoren dar.

## 5. Marktlage

---

Die Verfügbarkeit der gewünschten DSPen ist während der gesamten Laufzeit des Projekts immer kritischer geworden. Im wesentlichen bedingt durch die explosive Marktzunahme bei tragbaren Telefonen liegen die Aufträge bei AD und TI erheblich über deren Fertigungskapazität. Das beeinflusst nicht die Grundlagen des Projektes, sehr wohl aber den Ablauf der Entwicklungstätigkeit und den Umfang der benötigten Arbeiten. Die als Sicherheitsstruktur parallel angedachte Verwendung der Prozessoren TMS320C62xx bzw. TMS320C67xx wird realisiert.

Von der Firma Analog Devices war schon zu Projektbeginn bekannt und auch in Form reduzierter Erwartungen berücksichtigt, daß sie ihre eigenen Lieferzeitprognosen nicht streng einhält. Die tatsächliche Verzögerung in voller Breite des DSP-Spektrums war aber doch überraschend:

- Am 22.06.1998 wird der ADSP21160 angekündigt:  
Software-Tools seien verfügbar, die Chips im 4. Quartal 1998 zu US\$300.
- Am 29.06.1998 wird ein "Whitepaper" von AD präsentiert:  
"Analog Device's ADSP-21160 SHARC DSP Versus Texas Instrument's TMS320C6x DSPs", in dem die mangelnde Verfügbarkeit des Gleitkomma-DSPs TMS320C6701 bis Anfang 1999 moniert wird.
- Am 14.10.1998 wird von AD der TigerSHARC angekündigt, Entwicklungstools und Prozessoren werden für Anfang 1999 zugesagt.
- Noch 1999 (unser Internet-Auszug vom 08.12.1999) wird angekündigt, daß das gewünschte TigerSHARC-Board TS001-Kit im 2. Quartal 2000 verfügbar sein sollte, und zwar mit einem Prozessor, PCI-Karten-Interface (als PC-Schnittstelle) und ausreichend Speicher.  
Die komplexe 256-Punkte-FFT soll 7,3 $\mu$ s @ 150 MHz betragen - eine optimale Lösung.
- Noch im April 2000 wird im Internet dargestellt, daß die Boards EZ-KIT Lite mit dem Prozessor ADSP-21160 im Mai 2000 ausgeliefert würden.

- Im Juli 2000 ist der Prozessor ADSP-21160M verfügbar, die Boards EZ-KIT Lite sind hardwaremäßig fertiggestellt, die im April für Mai angekündigte Auslieferung ist für September zugesagt. Der Prozessor TigerSHARC ADSP-TS001 soll für unser Projekt vielleicht zum Ende des Jahres 2000, aber nicht vor Ende Oktober 2000 verfügbar sein.

Dem entsprechend haben wir eine Verlängerung des Projektes um zwei Monate beantragt und gewährt erhalten.

- Am 12.10.2000 haben wir nach Einschaltung von Analog Devices das erste Board ADDS-21160M EZLITE erhalten.
- Am 04.10.2000 wird von AD mitgeteilt, daß sie in USA wegen des TigerSHARC-boards nachgefragt hätten. Leider würde der Baustein momentan noch nicht für "general purpose applications" freigegeben, sondern nur für einige gezielte Kunden. Dasselbe gelte für das Evaluationboard.
- Im Dezember 2000 wird uns von AD mitgeteilt, daß für das TS-001-Kit wohl eine Verschiebung um etwa ein Jahr zu erwarten sei.

Leider haben sich alle Befürchtungen, die zu den getroffenen Alternativmaßnahmen geführt haben, voll bestätigt.

Besonders hilfreich war es, daß die Firma Texas Instruments (TI) ihren Gleitkomma-Prozessor TMS320C6711 stark vorangetrieben hat, so daß entsprechende Boards relativ kurzfristig zu erhalten waren. Weiterhin günstig war, daß für die verschiedenen Boards mit ihren unterschiedlichen Prozessoren gleiche Schnittstellen zu zusätzlichen Boards realisiert worden sind und ein dafür geeigneter Analog-Digital-Wandler zur Verfügung steht.

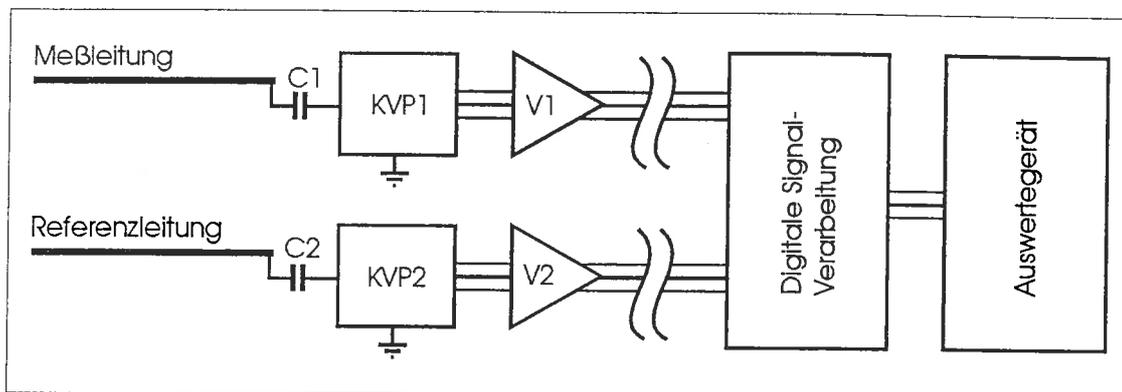
Weil im Institut für Elektronische Steuerungstechnik der Fachhochschule Mannheim DSP-Prozessoren der Firmen AD und TI Verwendung finden, war die Verwendung sowohl von SHARC-Prozessoren der Firma AD als auch von TMS320-Prozessoren der Firma TI möglich.

## 6. Einfügung in den TE-Meßkreis

Für die Echtzeitstörunterdrückung bei der Teilentladungsmessung vor Ort nach den vorhandenen Verfahren wird eine Einbindung des Teilsystems zur digitalen Signalverarbeitung in ein vorhandenes System vorgenommen.

Ein konventioneller Meßaufbau besteht aus einer Meßleitung, einem Koppelkondensator C1, einem Koppelvierpol KVP1 und einem Auswertegerät.

Zur Echtzeitstörunterdrückung wird dieser Aufbau erweitert um eine Referenzleitung mit Koppelkondensator C2 und Koppelvierpol KVP2 sowie die zur Signalverarbeitung vorgesehenen Komponenten, die Verstärker V1 und V2 sowie die Digitale Signalverarbeitung.



Messungen haben bestätigt, daß selbst kleinere Masseschleifen nicht zulässig sind.

So gibt es

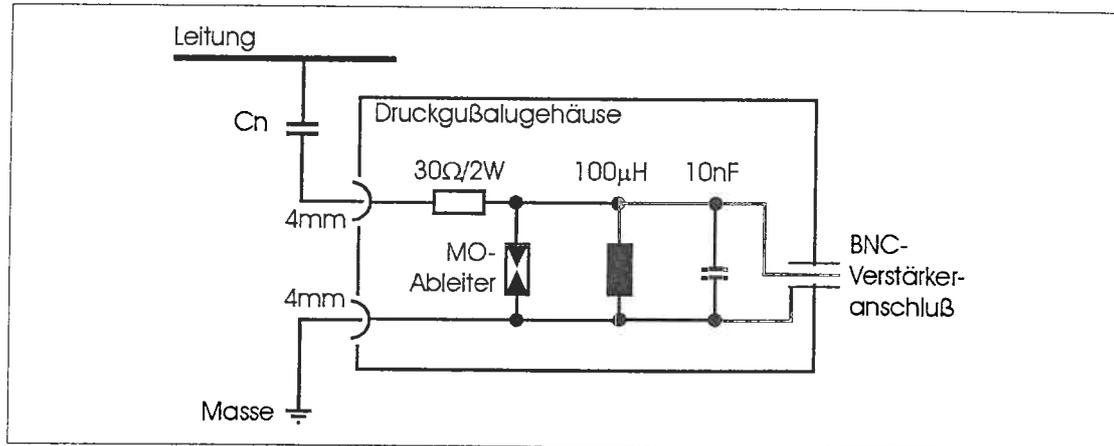
- einen 1. Massepunkt für den Meßkreis, bestehend aus Meßleitung, Kondensator C1, Koppelvierpol KVP1, (kurzer) Koaxleitung, Meßverstärker V1 und (langer) Koaxleitung,
- einen 2. Massepunkt für den Referenzkreis, bestehend aus Referenzleitung, Kondensator C2, Koppelvierpol KVP2, (kurzer) Koaxleitung, Meßverstärker V2 und (langer) Koaxleitung,
- einen 3. Massepunkt für Digitale Signalverarbeitung und Auswertegerät.

Die Verschaltung der drei Massenetze erfolgt in herkömmlicher Weise.

Am Eingang der Digitalen Signalverarbeitung werden die Ausgangssignale der Verstärker V1 und V2 als Meß- bzw. Referenzsignal transformatorisch eingekoppelt.

Die Spannungsversorgung der beiden Verstärker V1 und V2 erfolgt wie ursprünglich vorgesehen lokal über kleine Akkumulatoren, da Messungen bestätigt haben, daß eine Versorgung über Labornetzteile auch bei Verwendung zusätzlicher Trenntransformatoren eine zu starke Kopplung ergibt.

Im folgenden Bild ist ein Koppelvierpol mit seiner Außenbeschriftung ( $C_n = 1,4\text{nF}$  für  $n=1|2$ ) dargestellt:



Aus den Schaltungsdaten werden entsprechende Forderungen für die angeschlossenen Verstärker abgeleitet. Die Ankoppelung am Koppelvierpol kann sowohl transformatorisch (massebezogen oder massefrei) als auch kapazitiv erfolgen. Am Ende der langen Koaxleitungen für Meß- und Referenzsignal, die aus dem Hochspannungsbereich in die Meßwarte führen, können gleiche Verstärker zur Signalanpassung verwendet werden.

Das Ausgangssignal der Digitalen Signalverarbeitung wird dem Auswertegerät zugeführt, hier einem Teilentladungsmeßsystem LDS6 zur Detektion der TE-Kenngröße "scheinbare Ladung" nach IEC270 und VDE0434.

Bei Messungen wird festgestellt, daß der Koppelvierpol ausgangsseitig bzw. der Verstärker eingangsseitig mit  $50\ \Omega$  zu belasten ist, da sonst das Teilentladungsmeßsystem LDS6 keine eindeutige Polaritätszuordnung des Teilentladungssignals erzielt.

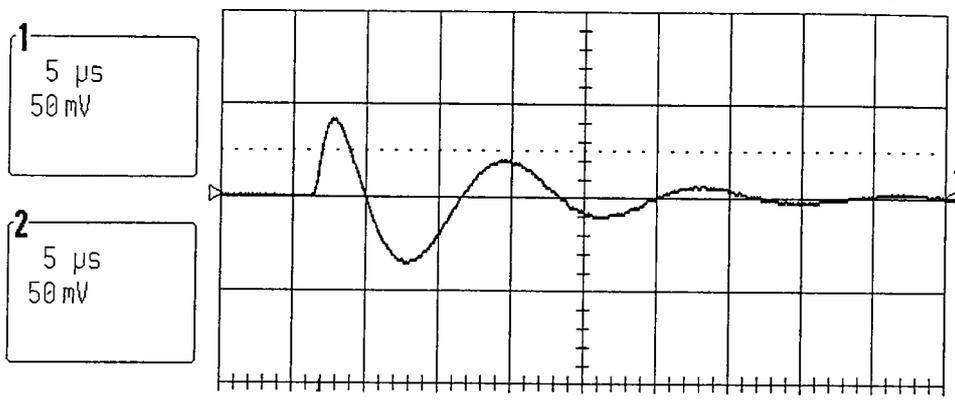
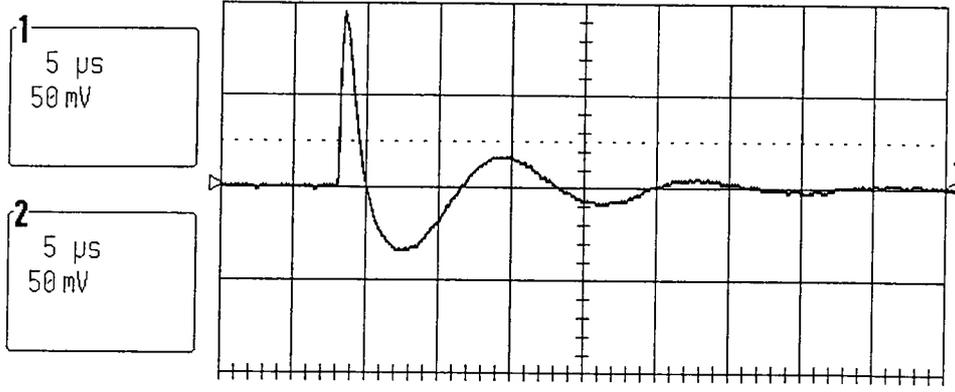
Die beiden verwendeten Koppelvierpole haben unterschiedliche Frequenzgänge.

Um auszuschließen, daß verschiedene Meßbedingungen die Aussage verfälschen könnten, werden identische Meßbedingungen eingerichtet:

Verstärkerboard #4, Kanal A4; Oszillograf Kanal 1; Prüfpuls  $100\ \text{pC}$

Das obere Oszillogramm zeigt Koppelvierpol KVP1, das untere KVP2

Durch den nachfolgenden Abgleichprozeß werden diese Unterschiede berücksichtigt.



## 7. Anbindung von Analog-Digital- (ADC) und Digital-Analog-Wandler (DAC)

Bereits von Projektbeginn an wird als ein wesentliches Thema die Anbindung von Analog-Digital-Wandlern (ADC) und einem Digital-Analog-Wandler (DAC) dargestellt, die Lösung allerdings aus Personalgründen zeitlich verschoben eingeplant.

Mit der ursprünglich aus Sicherheitsüberlegungen heraus angedachten, sich später jedoch als notwendig erweisenden durchgeführten Alternativstrategie hat sich auch dieser Teil als erheblich aufwendiger als geplant erwiesen, und das gleich aus mehreren Gründen:

- der ursprünglich geplante Erwerb einer geeigneten Kombination aus DSP-Hardware, ADC und DAC mit entsprechender Basissoftware war zumindest im Bereich der beantragten und genehmigten Mittel nicht realisierbar, zumal nicht mit einem gewünschten Prozessor
- eine eindeutige Wahl eines geeigneten Prozessors war aus Gründen der Marktlage nicht möglich, ja nicht einmal die Festlegung auf eine Firma
- die unterschiedlichen Boards haben unterschiedliche Schnittstellen, so daß folgende Schnittstellen zu berücksichtigen waren:
  - ADDS-2106XE-EZLITE
  - ADDS-21160MEEZLITE
  - TigerSHARC EZ-Kit Lite
  - TMS320C6X (alle Prozessoren: TMS320C6201/6701/6211/6711)  
die Schnittstellen von TMS320C6X01 (DMA) erfordern ein erheblich komplexeres Ablaufkonzept als die von 'C6X11 (EDMA)
- für Boards mit einer sehr schnellen Schnittstelle zu einem PC (PCI-Schnittstelle) kann ein externes DAC-Board im PC zur Darstellung des Ergebnisses verwendet werden. Dies trifft zu für
  - TigerSHARC EZ-Kit Lite
  - TMS320C6201/6701
- für Lösungen mit nur einem Prozessor gelten andere Anforderungen als für Lösungen mit mehreren (hier zwei) Prozessoren

## 7.1 Grundüberlegungen und Lösungsansätze

---

Realisiert wurden folgende Lösungsansätze:

- Für das Board ADSP-21061 EZ-KIT Lite (ADDS-2106XE-EZLITE) wurde eine Schaltung ADDA3 entwickelt, die auf der Schnittstelle SPORT1 (Serial PORT 1 des DSP) aufsetzt, zwei Analogsignale mit jeweils 16 Bit Auflösung abtastet und ein Analogsignal mit 16 Bit Auflösung abgibt.
- Für die Boards TMS320C6211 DSK, TMS320C6711 DSK, TMS320C6701 EVM gibt es ein THS1206 EVM, mit dem bis zu vier Analogsignale mit 12 Bit Auflösung abgetastet werden können.
- Für das Board ADDS-21160MEEZLITE wurde eine Schaltung ADDA4 entwickelt, die auf der Schnittstelle SPORT1 (Serial PORT 1 des DSP) aufsetzt und ein Analogsignale mit 16 Bit Auflösung abtastet.

Bei den Überlegungen zur Anschaltung der ADC- und DAC-Komponenten ist die Wahl der Schnittstelle wesentlich. So kommen im konkreten Fall folgende Strukturen in Frage:

- synchrone serielle Schnittstelle  
sie zeichnet sich durch eine relativ processorunabhängige und gut gestaltbare Struktur aus, ist jedoch nur selten bei schnellen ADCs vorhanden
- Einbindung in die Speicherstrukturen  
sie ist stark processorabhängig, jedoch gut benutzbar mit vielen ADCs

Daneben ist die Wahl des Umsetzverfahrens nicht trivial. Während in früheren Zeiten bei den geforderten Abtastraten nur Flash-Wandler in Frage gekommen wären, gibt es heute ein breites Spektrum anwendbarer Umsetzverfahren:

- Flash  
Beim Flash-Verfahren ist die Umsetzrate die höchste heute erzielbare, die Auflösung jedoch in der Regel bescheiden. Typisch sind Auflösungen von 6 bis 8 Bit bei Umsetzraten bis über 1 GHz. Mit Flash-Verfahren lassen sich beliebig im gesamten Meßbereich springende Meßwerte problemlos umsetzen.
- SAR  
Die Verfahren mit sukzessiver Approximation erreichen bereits Raten von über 1MHz bei besserer Auflösung als Flash-Verfahren. Auch mit ihnen lassen sich beliebig im gesamten Meßbereich springende Meßwerte problemlos umsetzen.
- Sigma-Delta-Verfahren  
Diese Verfahren eignen sich besonders gut für Signale im Audio-Bereich, erreichen heute aber bereits Raten von über 1 MHz. Sie weisen besonders gute Werte bezüglich Signalverzerrung auf, sind aber nicht geeignet, beliebig im gesamten Meßbereich springende Meßwerte problemlos umzusetzen.

Daneben gibt es viele Kombinationen aus den Verfahren.

Es wurden zwei Verfahren ausgewählt:

- ein Flash-Verfahren in Pipeline-Struktur in 12- bis 14-Bit-Auflösung
- ein Sigma-Delta-Verfahren mit besonderer Eignung für sich relativ schnell ändernde Signale in 16-Bit-Auflösung

Wesentlich ist weiterhin die Wahl der Abtaststruktur. So kommen in Frage:

- parallele Abtastung mit mehreren Abtast-Halte-Gliedern und Zeitmultiplex auf einen A/D-Wandler
- Parallelbetrieb mehrerer synchronisierter A/D-Wandler

Hier wurden beide Abtaststrukturen gewählt.

Bei der Verwendung fertiger DSP-Boards ist die Wahl der Digitalisignalpegel zwingend vorgeschrieben:

- Für das Board ADSP-21061 EZ-KIT Lite  
TTL-kompatible CMOS-Pegel (5V-Technik)
- Für die Boards TMS320C6211 DSK, TMS320C6711 DSK, TMS320C6701 EVM  
TTL-kompatible CMOS-Pegel (3,3V-Technik)
- Für das Board ADDS-21160MEEZLITE  
TTL-kompatible CMOS-Pegel (3,3V-Technik)

Ein weiteres wesentliches Kriterium ist die Ablaufstruktur der Signalverarbeitung im DSP. Ein Untermerkmal ist die Taktversorgung der A/D- und ggf. D/A-Wandler (ADDA-Karte).

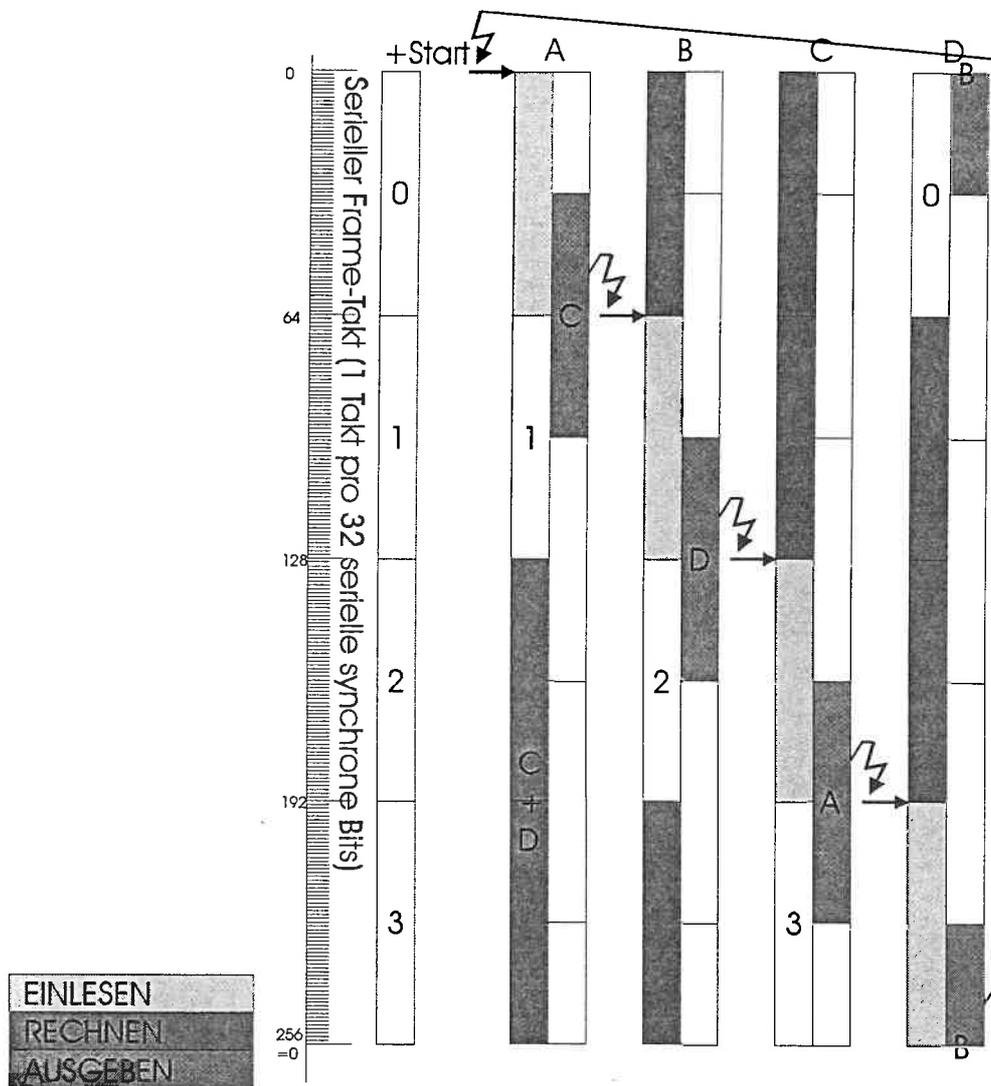
Die Taktversorgung der Wandler kann auf verschiedene Arten erfolgen:

- Der DSP generiert die Taktsignale für die ADDA-Karte.
- Die ADDA-Karte generiert die benötigten Takte selbst.
- Die ADDA-Karte leitet aus dem Sendetakt TXC den Empfangstakt RXC für die Empfangsseite ab, übernimmt die gesendeten Ausgabedaten TXD und stellt Meß- und Referenzdaten als RXD zur Verfügung.
- Der Takt wird extern erzeugt und zur Verfügung gestellt.

Dazu kommt die eigentliche Ablaufstruktur im DSP. Der Taktrahmen ist durch den Umsetztakt der ADDA-Karte, wie auch immer erzeugt, festgelegt. Nachfolgend ist der Ablauf unter Verwendung einer seriellen Schnittstelle in AD-Nomenklatur beschrieben. Entsprechendes gilt bei die Verwendung einer seriellen Schnittstelle bei TI-Prozessoren oder bei Einbindung in den Speicher mit normalen DMA-Controllern nur teilweise.

Sende- und Empfangsseite arbeiten mit jeweils vier verketteten Transfer-Steuer-Blöcken TCB, wobei die verwendeten Adressen so wie in der Grafik zwischen Eingabe, Rechnung und Ausgabe verschachtelt dargestellt für jeden der jeweils vier Sende- und Empfangs-TCBs einmalig festgelegt und eingeschrieben werden.

Der erstmalige Start veranlaßt das Laden der TCBs  $A_{senden}$  und  $A_{empfang}$  in den jeweiligen SPORT1-DMA-Controller. Sind jeweils 64 Werte übertragen worden, so wird der nächste TCB (B, C, D, A, B, C, D, A, ...) automatisch geladen und ein Interrupt erzeugt, der die Rechenroutinen anstößt.



So werden im Schritt A die folgenden drei Aufgaben parallel abgewickelt:

- die Daten 0 bis 63 werden in einem ersten DMA-Prozeß eingelesen (Unterschnitt I) als 32-Bit-Worte, bestehend aus zwei 16-Bit-Werten für Messung und Referenz,
- die im Schritt C des Vorzyklus berechneten 64 Ausgangsdaten 32 bis 95 in einem zweiten DMA-Prozeß ausgelesen (Unterschnitt VI), sie liegen also um  $256-32=224$  Worttakte der seriellen Schnittstelle zurück,
- die in den Schritten C und D eingelesenen 128 Daten 128 bis 255 des Vorzyklus (jeweils Messung und Referenz) rechnerisch verarbeitet (Unterschnitte II-V).

Wichtig ist, daß der Rechengvorgang etwas kürzer als die Datenübergabe dauert, so daß der Unterschnitt VI die Laufzeit bestimmen kann.

Für den Schritt B sind alle Adressen des Schrittes A  $+64$  modulo 256, für den Schritt C die des Schrittes B  $+64$  modulo 256 und für den Schritt D die des Schrittes C  $+64$  modulo 256 zu nehmen. Im Schritt C werden erstmalig Daten des aktuellen Zyklus ausgegeben.

Der Abschlußinterrupt des Lese-TCB des Schrittes D startet also die Rechenroutinen des Schrittes A, der des Lese-TCB des Schrittes A die Rechenroutinen des Schrittes B usw..

Die zunächst geplante Zusammenfassung von je zwei  $64\mu\text{s}$ -Blöcken zur Nutzung einer komplexen  $\text{IFFT}_{128}$  anstelle zweier reeller  $\text{IFFT}_{128}$  ist derzeit aus Zeitgründen nicht angedacht.

Trotzdem wird der Aufwand wie bisher mit vier komplexen FFTs in 128 Mikrosekunden entsprechend der Ausgangsbasis "Abtastrate 1 MHz, Rahmenbreite 128 Werte, doppelte Auswertung" abgeschätzt.

Nach derzeitigem Stand zeigt die Überprüfung, wie weit die Abschätzung "Nebenaufwand entspricht einer CFFT" auch bei so kleinen Rahmenbreiten wie 128 oder 256 noch einhaltbar ist, gute Ergebnisse.

Es ist zu erproben, ob die Rechengenauigkeit mit 16-Bit-FFT ausreichend ist.

Bei Verwendung der 32-Bit-CFFT sind geeignete Prozessoren zu wählen.

So können mit den angedachten Prozessoren von Analog Devices die FFTs sowohl in Festkomma als auch in Gleitkomma realisiert werden, wobei allerdings nur der nicht mehr rechtzeitig zur Verfügung stehende TigerSHARC ADSP-TS001 daraus Vorteile ziehen kann.

Bei den Prozessoren von Texas Instruments gibt es Festkommaprozessoren und Gleitkommaprozessoren. Für erste Entwicklungen wurde der Festkommaprozessor TMS320C6211 in Form eines DSK gewählt, als Gleitkommaprozessoren kommen TMS320C6711 in Form eines baugleichen DSK und TMS320C6701 (als EVM verfügbar) zur Anwendung.

Für die DSPs der Fa. Texas Instruments wird eine ähnliche Vorgehensweise angestrebt, nur daß hier statt der schnellen synchronen seriellen Schnittstelle mit den seriellen A/D- und D/A-Wandlern zunächst nur A/D-Wandler mit paralleler Schnittstelle verwendet werden, die in den externen Speicherbereich "gemapped" sind.

Damit sind folgende Fragen gut zu untersuchen:

- Genügt bei 12-Bit-Wandlern die 16-Bit-Festkomma-Arithmetik?
- Wie wesentlich ist die maximale Abtastrate?
- Welche Bedeutung haben Sprünge im Eingangssignal?

Da der D/A-Wandler fehlt, lassen sich diese Fragen zunächst mit einem TMS320C6711 DSK lösen, zur Verarbeitung mit Analogwertausgabe ist der Einsatz einer PCI-Karte mit TMS320C6701 innerhalb eines PC vorgesehen, der die Anbindung üblicher Laborkarten erlaubt.

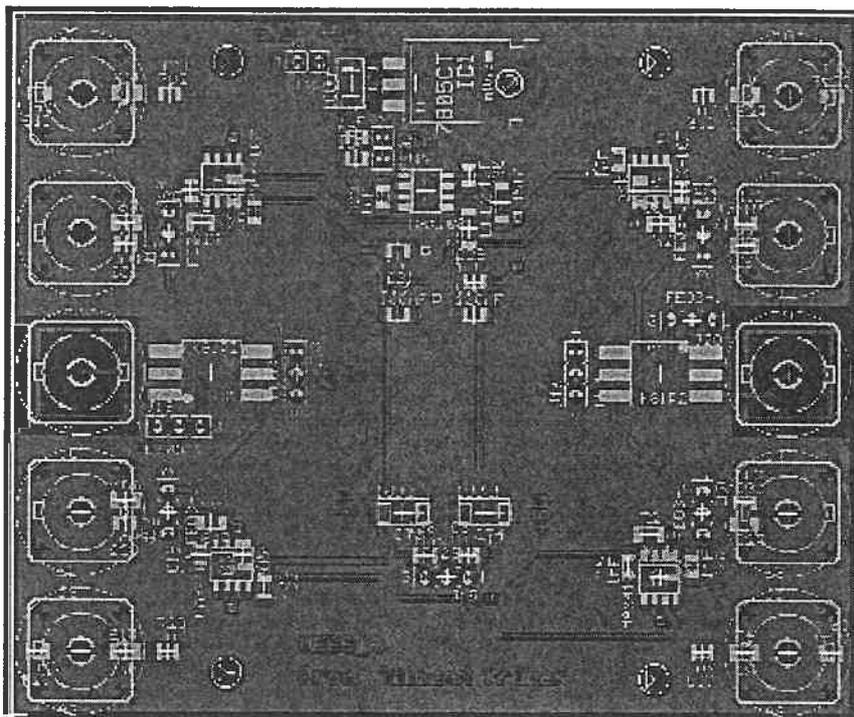
Die Prozessoren TMS320C6211 und TMS320C6711 besitzen einen EDMA-Controller, der in seinem Ablauf mit dem DMA-Controller von AD vergleichbar ist. Im Gegensatz dazu erfordert der DMA-Controller des Prozessors TMS320C6701 eine geänderte Ablaufprogrammierung, die nicht ohne Mitwirkung des Programms stattfinden kann.

## 7.2 Verstärkung der Analog-Signale

---

An einen Verstärker der Analogsignale werden folgende Forderungen gestellt:

- möglichst geringes Rauschen: Rauschspannungsdichte von  $<1 \text{ nV}/\sqrt{\text{Hz}}$   
(bei 74 dB Verstärkung und einer Bandbreite von 1 MHz erzeugt ein Rauschen von  $1 \text{ nV}/\sqrt{\text{Hz}}$  bereits ein Signal von etwa  $6 * 1 \text{ nVss} * 1000 * 5000 = 30 \text{ mVss}$ , für jedes 16-kHz-Fenster 4 mVss, bei einem ADC mit einem Meßbereich von 4 Vss also einen maximalen Signal-Rauschabstand von 10 Bit)
- netzunabhängiger Betrieb am Ankopplungsvierpol, mit Batterie speisbar
- geringe Werte für Verzerrung und Intermodulation
- 50-Ohm-Treiber, symmetrisch oder asymmetrisch
- Verstärkung 5 bis 5000 (14 .. 74 dB)
- Eingang kapazitiv oder transformatorisch
- beide Signale auf einer Platine
- untere Grenzfrequenz ca. 10 kHz
- obere Grenzfrequenz der Verstärker ca. 300 MHz, durch Beschaltung reduziert
- vier Kanäle, als zwei differentielle Kanäle schaltbar oder kaskadierbar



Die entwickelte Schaltung weist alle geforderten Merkmale in einer für die Erprobung geeigneten Form auf: das Rauschen liegt unter  $1 \text{ nV}/\sqrt{\text{Hz}}$ , die Eingangskoppelung kann von einem asymmetrischen Eingang transformatorisch (symmetrisch oder asymmetrisch) oder kapazitiv (asymmetrisch) auf Verstärker gegeben werden, die Platine enthält vier Verstärker, die in unterschiedlichster Konfiguration verschaltet werden können.

Die Stromversorgung erfolgt über Analogregelung aus einem 9V-Block oder direkt aus einer Akkumulatorenbatterie (4xNiMH) mit etwa 5V, nachgeschaltet wird eine negative Versorgung mit einem 1-MHz-Umrichter erzeugt.

Der Verstärker MESS\_A wurde als durchkontaktierte zweiseitig SMD-bestückte Leiterplatte entworfen und mit bis zu 30 dB pro Stufe vermessen. Leichte Korrekturen zur Verbesserung der Stabilität und zur Verringerung der Störsignale wurden in MESS\_B realisiert

Die jeweilige Verstärkung läßt sich durch Einbau geeigneter Widerstände einmalig festlegen, die Schaltung über Steckbrücken einrichten.

Es sind bisher zwei verschiedene Einkoppeltransformatoren beschafft worden, und zwar

- mit geteilter Primär- und Sekundärwicklung  
4 kHz bis 300 MHz (-3dB)  
Übertragungsverhältnis 1:1 oder 2:1
- mit geteilter Sekundärwicklung  
8 kHz bis 200 MHz (-3dB)  
Übertragungsverhältnis 2:1

### 7.3 Zweifach-16-Bit-ADC-Karte mit 16-Bit-DAC ADDA3

---

Die Karte soll im Rahmen der Aufgabenstellung möglichst einfach für beide Signalrichtungen (A/D-Umsetzung und D/A-Umsetzung) im Rahmen der verfügbaren Prozessorleistung an die verfügbare Schnittstelle des Boards ADSP-21061 EZ-KIT Lite angeschaltet werden können.

Sie soll streng synchron zwei Kanäle abtasten und die abgetasteten Signale mit möglichst hoher Auflösung in digitale Daten umsetzen und diese an den DSP seriell senden sowie im DSP berechnete Ausgabedaten in ein analoges Signal umsetzen und ausgeben können.

Bei der Verwendung serieller A/D- und D/A-Wandler, wie sie für den DSP (SHARC) von AD geplant ist, wird der Grundtakt von der Sendeseite als TXC einer schnellen synchronen seriellen Schnittstelle (SPORT1) vorgegeben.

Eine sinnvolle Grenze für die Anforderungen an die Karte sind die vom DSP vorgegebenen Begrenzungen:

- maximale Bittaktrate 40MHz
- Verarbeitungsleistung 1024-Point Complex FFT:  
ADSP-21160M : 115  $\mu$ s (Radix-4 mit Reversal)  
ADSP-21061 : 456  $\mu$ s (18.221 Zyklen @ 40 MHz)

Damit ergibt sich für den ADSP-21061 eine sinnvolle Obergrenze mit etwa 600.000 Meßpunkten pro Sekunde aus der Verarbeitungsleistung. Bei einer maximalen Taktfrequenz von 20 MHz und Verpackung beider Meßwerte eines Meßpunktes in einem Datenrahmen von 32 Bit Breite ergibt sich eine maximale Meßfrequenz von 625 kHz.

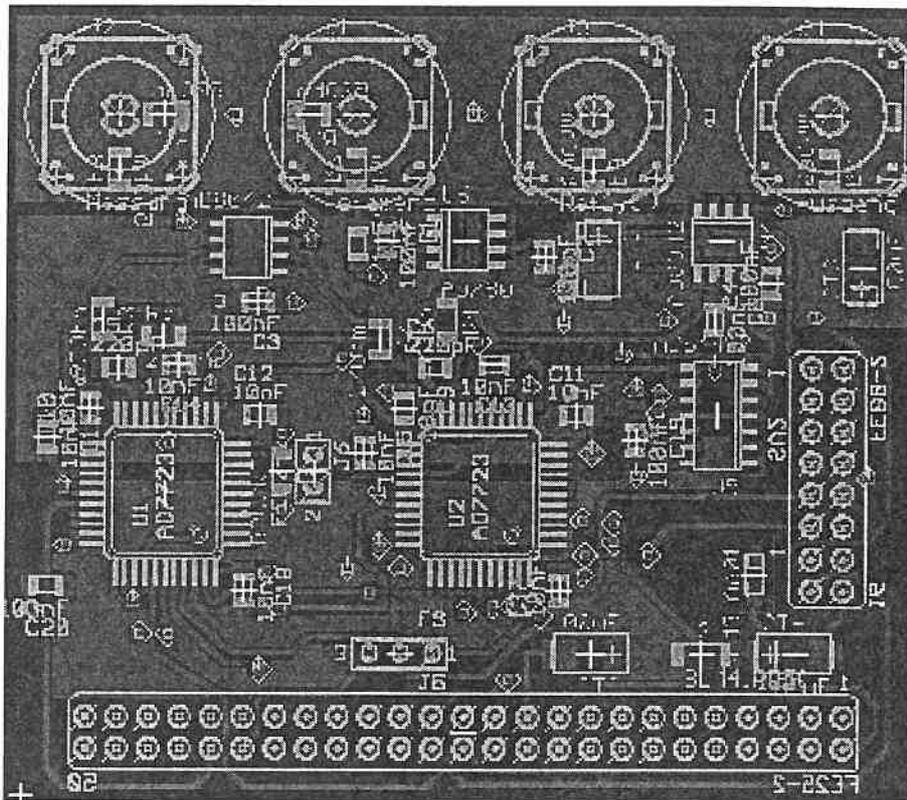
Zur qualitativ hochwertigen Umsetzung wurde eine Baugruppe mit zwei ADCs und einem DAC entworfen, die folgende Anforderungen hat:

- passend zum SHARC EZ-KIT Lite (Prozessor ADSP-21061)
- serielle Anbindung beider Eingabekanäle und eines Ausgabekanals an nur einen (freien) SPORT
- möglichst hohe Auflösung
- Abtastrate so hoch, wie es das geplante Programm auf SHARC EZ-KIT Lite abarbeiten kann
- nur eine 5V-Versorgungsspannung

Die Baugruppe weist zwei getrennte 16-Bit-A/D-Wandler auf, die in Master-Slave-Schaltung gleichzeitig ihr jeweiliges Eingangssignal abtasten und das gewandelte Digitalsignal nacheinander auf derselben Leitung als ein 32-Bit-Wort ausgeben, so daß der SHARC beide Werte mit einem DMA-Zyklus von der seriellen Schnittstelle SPORT1 in den Speicher übertragen kann.

Der 16-Bit-D/A-Wandler wird mit demselben Takt TXC wie die A/D-Wandler und mit demselben Framesignal TXF wie der Master-ADC versorgt. Damit werden jeweils die ersten 16 Bit von TXD als Datenbits interpretiert und der entsprechende Analogwert ausgegeben.

Der Master-ADC erzeugt aus dem TXC den Empfangstakt RXC für die schnelle synchrone Schnittstelle SPORT1.



Die wesentlichen Daten des ADC:

- Sigma-Delta-Wanderverfahren
- serielle oder parallele Schnittstelle für das Projekt seriell
- Digitalsignalpegel TTL-kompatibles CMOS in 5V-Technik  
Taktsignal CMOS in 5V-Technik
- Taktfrequenz 1 bis ca. 20 MHz  
entsprechend der Abtastrate der Überabtastung
- Wortrate 1/16 (nicht in unserer Anwendung) oder 1/32,  
für das Projekt also 31 bis 625 kHz
- Auflösung 16 Bit
- differentielle Nichtlinearität 1LSB (garantiert monoton)  
integrale Nichtlinearität 2 LSB
- SFDR (störfreier Dynamikbereich) 90 dB
- Tiefpaß

|                   |              |
|-------------------|--------------|
| 0..240 kHz        | +/- 0.001 dB |
| 299 kHz           | -3dB         |
| 312,5 kHz         | -6 dB        |
| 385,5 kHz..10 MHz | -90dB        |

Die wesentlichen Daten des DAC:

- Taktfrequenz bis 25 MHz
- "Abtastrate" 1/16 entsprechend 1,5 MHz,  
für das Projekt dieselbe wie beim ADC, also 31 bis 625 kHz
- Auflösung 16 Bit
- differentielle Nichtlinearität typ. 0,5 LSB  
integrale Nichtlinearität typ. 0,5 LSB
- Digitalsignalpegel TTL-kompatibles CMOS in 5V-Technik

Bei geänderter Schaltung und unter Einbezug beider SPORTs oder bei Einbindung in den Speicheradressbereich mit parallelem Datenausgang wäre die Wortrate bis auf 1,2 MHz zu verdoppeln.

## 7.4 16-Bit-ADC-Karte ADDA4

---

Die Karte soll im Rahmen der Aufgabenstellung möglichst einfach viele Möglichkeiten zur Anpassung an die geforderte Leistung der A/D-Umsetzung bieten und im Rahmen der verfügbaren Prozessorleistung an die verfügbare Schnittstelle des Boards ADDS-21160MEEZLITE angeschaltet werden können.

Die Karte wird so aufgebaut, daß zwei Karten kombiniert auf einen SPORT oder einzeln auf zwei SPORTs aufgeschaltet werden können.

Eine Kombination von zwei Karten soll streng synchron zwei Kanäle abtasten, die abgetasteten Signale mit möglichst hoher Auflösung in digitale Daten umsetzen und diese an den DSP seriell senden, im Einzelbetriebsmodus parallel in 16-Bit-Rahmen, im Kombimodus mit beiden 16-Bit-Unterrahmen in einem 32-Bit-Rahmen pro Meßpunkt.

Damit können verschiedene Lösungen realisiert werden:

- ein ADDS-21160MEEZLITE-Board ohne Änderung über die freie serielle Schnittstelle SPORT0
- ein Stapel von zwei ADDS-21160MEEZLITE-Boards ohne Änderung über beide freie serielle Schnittstellen SPORT0
- ein ADDS-21160MEEZLITE-Board mit Änderung über beide serielle Schnittstellen SPORT0 und SPORT1

Eine sinnvolle Grenze für die Anforderungen an die Karte sind die vom DSP vorgegebenen Begrenzungen:

- maximale Bittaktrate 40MHz
- Verarbeitungsleistung 1024-Point Complex FFT:  
ADSP-21160M : 115  $\mu$ s (Radix-4 mit Reversal)  
ADSP-21061 : 456  $\mu$ s (18.221 Zyklen @ 40 MHz)

Damit ergibt sich für den ADSP-21160M eine sinnvolle Obergrenze mit 2,5 Millionen Meßpunkten pro Sekunde aus der Verarbeitungsleistung. Bei einer maximalen Taktfrequenz von 40 MHz und Verpackung beider Meßwerte eines Meßpunktes in einem Datenrahmen von 32 Bit Breite (Kombimodus) ergibt sich eine maximale Meßfrequenz von 1,25 MHz, im Einzelbetriebsmodus mit zwei 16-Bit-Datenrahmen eine von 2,5 MHz.

Zur qualitativ hochwertigen Umsetzung wurde eine Baugruppe mit einem ADC und einem PLD entworfen, die folgende Anforderungen hat:

- passend zum SHARC ADDS-21160MEEZLITE
- serielle Anbindung des Eingabekanals
- möglichst hohe Auflösung
- Abtastrate so hoch, wie sie auf einem oder zwei kombinierten Boards ADDS-21160MEEZLITE abgearbeitet werden kann
- Kombinierbarkeit und strenge Synchronisierung für zwei Karten
- Einzel- und Kombimodus
- externe oder serielle Taktquelle
- unterschiedliche Überabtastverhältnisse (1, 2, 4, 8)
- rauschoptimierter Treiber
- jederzeit nachoptimierbare Logik
- nur eine externe Versorgungsspannung

Eine Baugruppe besteht aus den Blöcken

- Stromversorgung 5 V und 3,3 V mit Reset-Schaltung (1x)
- Taktgenerator (0x, 1x)
- A/D-Wandler mit Takttreiber, Differenzverstärker und paralleler Schnittstelle (2x)
- Logik (2x)

Die geklammerten Angaben zeigen auf, wie viele Blöcke jeden Typs in einer Kombination aus zwei Karten mindestens bestückt sein müssen. Bei Versorgung mit serielltem Takt über die serielle Schnittstelle kann der Taktgeber entfallen.

Wird die Kombination aus zwei Karten im Kombimodus betrieben, so werden die Ausgangsdaten der Tochterkarte in den seriellen Eingang der Mutterkarte eingespeist und dort mit den Daten der Mutterkarte zu einem 32-Bit-Rahmen zusammengefaßt und zum DSP gesendet, so daß der SHARC beide Werte mit einem DMA-Zyklus von der seriellen Schnittstelle SPORT0 in den Speicher übertragen kann.

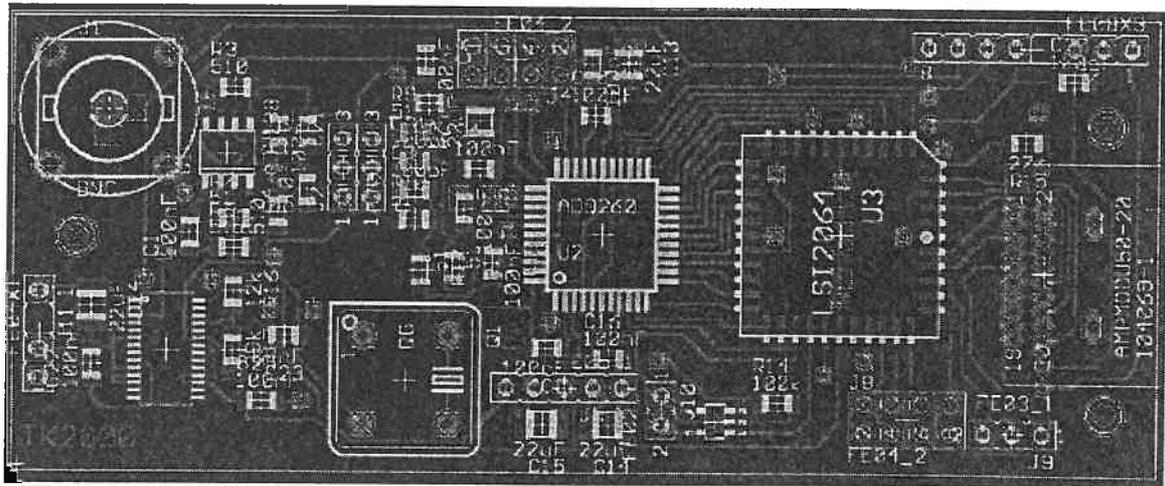
Die wesentlichen Daten des ADC:

- Sigma-Delta-Wanderverfahren mit Pipeline-Struktur
- parallele Schnittstelle
- Versorgungsspannungen 5 V (analog und Takt),  
3,3 V (CMOS digital)
- Taktfrequenz 1 kHz bis ca. 20 MHz  
entsprechend der Abtastrate der Überabtastung
- Wortrate 1/1, 1/2, 1/4 oder 1/8  
für das Projekt also 125 Hz bis 2,5 (20) MHz
- Auflösung 16 Bit (Dezimierung 2, 4, 8)  
bzw. mind. 12 Bit (ohne Dezimierung)
- differentielle Nichtlinearität 0,5 LSB (garantiert monoton)  
integrale Nichtlinearität 0,75 LSB
- Referenz 2,5V  
Differenzeingang, Eingangsspannungsbereich 4 Vdiff
- SFDR (störfreier Dynamikbereich) 90 dB min., 99 dB typ.  
bei 500 kHz Signal, 20 MHz Takt und Dezimierung 8
- Tiefpaß @ 20MHz, N=8
 

|                       |                     |
|-----------------------|---------------------|
| 0..605 kHz            | +/- 0.00125 dB max. |
| 807 kHz               | -0,1dB              |
| 1.136 kHz             | -3 dB               |
| 1.870 kHz..18.130 kHz | -82,5dB min.        |

Der Takt des A/D-Wandlers wird aus dem (durch Taktgeber oder DSP vorgegebenen) seriellen Takt (Nennwert 40 MHz) durch Teilung gewonnen. Im Einzelmodus [Kombimodus] werden 16 [32] Bit pro Rahmen übertragen, damit kann die Wortrate bis zu 1/16 [1/32] des Vorgabetaktes (Nennwert 2,5 MHz [1,25 MHz]) betragen. Der Takt wird durch ein geeignetes externes Gatter auf 5V-CMOS-Signalpegel angehoben

Alle wesentlichen Steuersignale und Takte sind mit dem im System programmierbaren Logikbaustein verbunden, so daß sie von der Logik ausgewertet oder erzeugt werden können.



## 7.5 A/D-Wandlerkarte THS1206EVM

---

Die Karte ist als Evaluiermodul entworfen für das direkte Aufstecken auf die Hochleistungs-DSP-Boards von TI, speziell mit den Prozessoren TMS320C5402 /C6201 /C6701 /C6211 /C6711.

Die Treiberverstärker sind mit dem recht guten Wert der Rauschdichte in Höhe von  $15 \text{ nV}/\sqrt{\text{Hz}}$  an die geringere Auflösung von "nur" 12 Bit angepaßt. Bei 12 Bit Auflösung sind die geforderte Rauschunterdrückung und die geforderte Dynamik um 24 dB geringer als bei 16 Bit Auflösung (die maximale Dynamik bei 16 Bit beträgt 96 dB, bei 12 Bit 72 dB).

Die Leistungen des Bausteins werden von der Karte gut zur Verfügung gestellt. Hinzu kommt, daß für die Karte in der DSP-Entwicklungssoftware bereits geeignete Einschübe (Plug-Ins) vorhanden sind. Besonders interessant sind die vielen Schaltmöglichkeiten mit assymmetrischen oder symmetrischen Eingängen sowie voller Simultanabtastung aller Eingangssignale. Mit einer maximalen Abtastrate von 3 MHz bei zwei Signalen sind die Anforderungen des Projekts nach bis zu 2 MHz Abtastrate bei mindestens 10 Bit Auflösung erfüllt.

Die Karte ist in das jeweilige DSP-System in Form zweier Speicheradressen eingebunden, so daß eine serielle Übertragung entfällt. Der eingebaute Pufferspeicher erlaubt das Abholen von jeweils 8 Werten entsprechend vier Meßpunkten in einem Anlauf, um Unterbrechungsanforderungen für den DSP einzusparen.

Die wesentlichen Daten des ADC (zu den o.a.):

- Flash-Wandelverfahren mit Pipeline-Struktur
- parallele Schnittstelle zum DSP
- Versorgungsspannungen 5 V (analog), auf Karte erzeugt oder vom DSP  
3,3 V (CMOS digital), auf Karte erzeugt oder vom DSP
- Taktfrequenz 0,1 bis 6 MHz, extern erzeugt oder vom DSP  
bei 2 Signalen also 0,05 bis 3 MHz Abtastrate
- Auflösung 12 Bit
- differentielle Nichtlinearität 1 LSB (garantiert monoton)  
integrale Nichtlinearität 1,5 LSB
- Referenz 2,5V  
Differenzeingang, Eingangsspannungsbereich 2 Vdiff
- SFDR (störfreier Dynamikbereich) 68 dB min., 75 dB typ.  
bei 500 kHz Signal, 20 MHz Takt und Dezimierung 8

Aus dem Datenblatt:

**features**

- **High-Speed 6 MSPS ADC**
- **4 Single-Ended or 2 Differential Inputs**
- **Simultaneous Sampling of 4 Single-Ended Signals or 2 Differential Signals or Combination of Both**
- **Differential Nonlinearity Error:  $\pm 1$  LSB**
- **Integral Nonlinearity Error:  $\pm 1.5$  LSB**
- **Signal-to-Noise and Distortion Ratio: 68 dB at  $f_1 = 2$  MHz**
- **Auto-Scan Mode for 2, 3, or 4 Inputs**
- **3-V or 5-V Digital Interface Compatible**
- **Low Power: 216 mW Max**
- **5-V Analog Single Supply Operation**
- **Internal Voltage References . . . 50 PPM/ $^{\circ}$ C and  $\pm 5\%$  Accuracy**
- **Glueless DSP Interface**
- **Parallel  $\mu$ C/DSP Interface**
- **Integrated FIFO**
- **Available in TSSOP Package**

Die Inbetriebnahme einer Karte THS1206 EVM hat erheblichen zeitlichen Aufwand erzeugt, der sich auf eine defekte Schaltung (Adreßdekoder) zurückführen ließ.

So wurde die Software mit der für eine andere Prozessorfamilie (TMS320C5x) vorgesehenen Adreßeinstellung entwickelt und ausgetestet.

## 8. Digitale Signalverarbeitung

---

Im Kapitel 7 sind die analoge Aufbereitung der Signale und ihre Umsetzung in die digitale Welt beschrieben. Ähnlich wie dort ist auch bei der digitalen Signalverarbeitung die Berücksichtigung von Randbedingungen und die Wahl von Lösungsdetails für das Gesamtergebnis von ausschlaggebender Bedeutung.

Die zugrundeliegende Aufgabe erscheint zunächst recht einfach. Sie besteht aus folgenden Schritten in zwei Prozessen:

Prozeß I: Abgleich der Anlage

- Aufnahme der Meßwerte für Meß- und Referenzsignal
- Transformation in den Frequenzbereich
- Ermittlung bzw. Optimierung der Übertragungsfunktion

solange, bis der sich ergebende Störteppich ausreichend klein ist.

Prozeß II: Messung von Teilentladungen

- Aufnahme der Meßwerte für Meß- und Referenzsignal
- Transformation in den Frequenzbereich
- Korrektur des Meßsignals mittels Referenzsignal und Übertragungsfunktion
- Transformation des korrigierten Meßsignals in den Zeitbereich

während der gesamten Meßdauer.

Beide Prozesse sind in den bisherigen Forschungsarbeiten der FGH breit untersucht und sehr gut dargestellt [0].

## 8.1 Aufnahme der Meßwerte und Ausgabe der Ergebniswerte

---

Im Kapitel 7 sind die wesentlichen Punkte zur Anbindung von Analog-Digital-Wandlern an die Digitalen Signalprozessoren (DSP) dargestellt, soweit sie zu Entwurf und Realisierung der entsprechenden Schaltungen erforderlich sind.

Es gibt drei grundsätzlich unterschiedliche hier untersuchte Methoden zur DSP-Anbindung:

- schnelle synchrone serielle Schnittstelle
- Speicherschnittstelle
- Schnittstelle zum Host-PC

Die ersten beiden Methoden unterscheiden sich sehr stark von den im PC-Bereich sonst üblichen seriellen bzw. parallelen Schnittstellen, sind aber bei den im Forschungsprojekt verwendeten High-Performance-DSPs der beiden Hersteller AD und TI sehr ähnlich gestaltet. In soweit können die Ergebnisse mit der schnellen synchronen seriellen Schnittstelle bei AD gut auf TI und die mit der Speicherschnittstelle gut auf AD übertragen werden.

### 8.1.1 Synchrone serielle Schnittstelle

---

Bei AD wird diese Schnittstelle mit SPORT (Serial PORT) bezeichnet, erlaubt Datenübertragungsraten bis zur halben Prozessortaktfrequenz von 80 bzw. 100 MHz bei ADSP21160, also 40 bzw. 50 MBit/s und Wortlängen von 5 bis 32 Bit.

Bei TI heißt die Schnittstelle McBSP (Multichannel Buffered Serial Port), erlaubt Datenübertragungsraten bis zu einem Viertel der Prozessortaktfrequenz von bis zu 167 MHz bei TMS320C6x, also etwa 40 MBit/s und Wortlängen von 1, 2 oder 4 Byte entsprechend 8 bis 32 Bit.

Die Schnittstellen arbeiten mit je einer Daten-, Takt- und ggf. Rahmenleitung pro Übertragungsrichtung und sind weitgehend programmierbar.

Für die Abschätzung der erreichbaren Übertragungsleistung ist es wesentlich, festzulegen, ob die binären Daten beider Signale (Meßsignal, Referenzsignal) über eine Schnittstelle als 32-Bit-Worte oder über zwei Schnittstellen als 16-Bit-Halbwoorte aufgenommen werden sollen. Im ersten Fall beträgt die höchste Abtastrate 1,25 Millionen Meßwertpaare pro Sekunde, im zweiten Fall das Doppelte.

Die Übertragung der Daten von der Schnittstelle in den Speicher erfolgt über direkten Speicherzugriff (DMA) der Schnittstellenschaltung.

### 8.1.2 Speicherschnittstelle

---

Die Speicherschnittstelle wird auch als Speicheradressierung (memory mapped) der Peripherie bezeichnet. Damit unterliegt sie bezüglich der maximalen Datenrate nur den für externe Speicher üblichen Beschränkungen des DSP.

Auch hier erfolgt die Übertragung der Daten von der Schnittstelle in den Speicher über direkten Speicherzugriff (DMA) der Schnittstellenschaltung.

### 8.1.3 Schnittstelle zum Host-PC

---

Bei den AD-Boards (ADSP-21061 EZ-KIT Lite und ADDS-21160MEEZLITE) und bei den TI-DSK-Boards (TMDS320006711E und TMDX320006211) ist die Schnittstelle zum Host-PC über eine serielle oder parallele Verbindung realisiert.

Davon abweichend haben die TI-EVM-Boards (TMDX326006201 und TMDX326006701) eine PCI-Schnittstelle, die den direkten Zugriff des Host-PC auf den Speicher des EVM-Boards erlaubt. Damit kann beispielsweise die Ausgabe der Ergebniswerte auch durch den PC über eine passende DAC-Karte erfolgen.

## 8.2 Transformation in den Frequenzbereich

Zur Transformation beider digitalisierten Signale in den diskreten Frequenzbereich dient eine diskrete Fouriertransformation, die sogenannte komplexe schnelle Fouriertransformation mit Radix-2 und Dezimierung im Zeitbereich auf zwei Spektren (CFFTR2\_DIT).

Durch Zusammenfassung der beiden Signale zu einem komplexen Signal bedarf es nur einer einzigen CFFT zur Bildung beider Spektren mittels Dekomposition aus einem kombinierten Spektrum, dem Ausgangssignal der CFFT.

Ein Merkmal von CFFT ist es, daß entweder eingangsseitig oder ausgangsseitig die Signale in einer speziellen Anordnung (bitreverse) vorliegen, die dadurch entsteht, daß die Reihenfolge der entspricht, die erreicht wird, wenn der jeweilige Binärcode der fraglichen Position mit umgekehrter Wertigkeit betrachtet wird. Im Falle von 128 Meßpunkten wird beispielsweise

| ursprüngliche Position | binärer Code | invertierter Binärcode | neue Position |
|------------------------|--------------|------------------------|---------------|
| 0                      | 0000000      | 0000000                | 0             |
| 1                      | 0000001      | 1000000                | 64            |
| 2                      | 0000010      | 0100000                | 32            |
| 3                      | 0000011      | 1100000                | 96            |
| 4                      | 0000100      | 0010000                | 16            |
| 5                      | 0000101      | 1010000                | 80            |
|                        |              |                        |               |
| 126                    | 1111110      | 0111111                | 63            |
| 127                    | 1111111      | 1111111                | 127           |

Der DSP von AD verfügt über eine Bitreverse-Adressierung, der von TI nicht.

Damit ist ein entsprechender Aufwand zur Umsortierung der Ergebnisdaten nach der Transformation in den Frequenzbereich zur Korrektur des Meßsignals mittels Referenzsignal und Übertragungsfunktion und zur entsprechenden Umsortierung der Eingangsdaten vor einer Transformation des korrigierten Meßsignals in den Zeitbereich mittels ICFTR2\_DIF bei TI erforderlich, bei AD nicht.

Für eine eventuell mögliche Alternative, die Übertragungsfunktion in bitreverse-Anordnung auf die Ergebnisdaten der CFFT direkt anzuwenden, liegt bisher keine Lösung vor.

### 8.3 Dekomposition zweier Spektren

---

Die komplexe diskrete Fouriertransformation (CDFT, auch als CFFT) behandelt die Daten recht streng im Sinne der Definition einer Fouriertransformation eines periodischen Eingangssignals aus synchronen äquidistanten Deltaimpulsen entsprechend einem mit einem Zeitsignal modulierten Abtastsignal.

Aus einem rein reellen Zeitsignal ergibt sich ein periodisches komplexes Spektrum, das bei Betrachtung der um die Frequenz Null symmetrisch liegenden Periode aus negativen und positiven Frequenzen besteht, wobei der Realteil den Kosinus- und der Imaginärteil den Sinuskomponenten entspricht und der Realteil zur Frequenz Null spiegelsymmetrisch, der Imaginärteil punktsymmetrisch ist.

Aufgrund des inneren Symmetrieverhaltens der CDFT ergibt sich auch aus einem rein imaginären Zeitsignal ein periodisches komplexes Spektrum, das bei Betrachtung der um die Frequenz Null symmetrisch liegenden Periode aus negativen und positiven Frequenzen besteht, wobei der Realteil den Kosinus- und der Imaginärteil den Sinuskomponenten entspricht, aber in diesem Falle der Realteil zur Frequenz Null punktsymmetrisch, der Imaginärteil spiegelsymmetrisch ist.

Wegen der Orthogonalität sowohl der Eingangs- als auch der Ausgangssignale kann die CDFT also gleichzeitig zwei Zeitsignale in den Frequenzbereich transformieren. Das sich ergebende Spektrum sind durch Dekomposition unter Ausnutzung der Symmetrieeigenschaften in zwei Spektren zu trennen.

Will man die inverse diskrete Fouriertransformation (IDFT, auch als ICFFT) zur Umsetzung zweier Spektren in den Zeitbereich nutzen, so sind die Spektren zuvor nötigenfalls auf negative Frequenzanteile zu erweitern und durch Komposition zu einem Spektrum zusammenzufassen.

Da es sich bei Komposition und Dekomposition um Verfahren mit im wesentlichen additiven Operationen handelt, ist bei der Betrachtung von Signal-Rauschabständen zu beachten, daß die Signale in etwa gleicher Größenordnung liegen sollten. Die Mantisse einer 32-Bit-Gleitkommazahl ist 24 Bit lang, was einer maximalen Gesamtdynamik von 144dB entspricht. Dagegen ist bei einer 16-Bit-Festkommazahl diese schon auf 96 dB gesunken.

Ist nur ein Zeitsignal zu transformieren, so wird oft eine reelle diskrete Fouriertransformation verwendet, die mit einer CDFT zur Transformation zweier Zeitsignale halber Punktezahl aufgebaut ist.

Im aktuellen Projekt sind zwei Signale in den Frequenzbereich zu transformieren, so daß sich diese Frage nicht stellt. Für die inverse Transformation in den Zeitbereich können jeweils zwei Zeitabschnitte zusammengefaßt werden. Lediglich die Signallaufzeit nimmt dann zu.

## 8.4 Korrektur des Meßsignalspektrums

---

Im Prozeß I wird die zur Korrektur des Meßsignalspektrums im Prozeß II benötigte Übertragungsfunktion in der dem aktuellen Projekt zugrundeliegenden Art ermittelt. Dabei handelt es sich um einen Prozeß mit iterativer Optimierung, der nicht zeitkritisch ist, solange zumindest unerregter Meßwert und Referenzwert mit der gleichen Rate wie bei der eigentlichen Messung in Prozeß II aufgenommen werden.

Im Gegensatz zur eigentlichen Messung, bei der über lange Zeit alle abgetasteten Werte zweifach berücksichtigt werden müssen, ist es weder zwingend erforderlich, alle abgetasteten Werte mehr als einfach zu berücksichtigen, noch muß dieser Vorgang lückenlos erfolgen. Durch die iterative Optimierung wird lediglich erreicht, daß nichtperiodische Vorgänge, die in größeren Zeitabständen als eine Abtastperiode (bei 128 Meßwerten und einer Abtastfrequenz von 1 MHz also 0,128 ms) auftreten, entsprechend ihrem Störanteil angemessen berücksichtigt werden können - sonst würde eine Meßperiode genügen.

Die Korrektur der Meßsignalspektrums mittels Subtraktion des mit der Übertragungsfunktion multiplizierten Störsignalspektrums liegt voll im kritischen Zeitpfad, der bei 128 Meßwerten und einer Abtastfrequenz von 1 MHz bei Doppelberücksichtigung für alle Operationen des Meßprozesses 64 Mikrosekunden beträgt.

Um einen besonders kurzen Ablauf des gesamten Meßprozesses zu erhalten und damit die Abtastfrequenz weiter erhöhen zu können, wäre es sinnvoll, die "inneren" Schritte im Frequenzbereich

- ggf. Bitreverse (TI)
- Dekomposition
- Korrektur des Meßsignalspektrums
- Komposition
- Division durch N (könnte auch im Zeitbereich erfolgen)
- ggf. Bitreverse (TI)

in eine Funktion zusammenzufassen und zu optimieren. Leider mußte das wegen der massiven Zeitverschiebung durch AD und der damit nötigen Prozessorumstellung aus Zeitgründen unterbleiben.

## 8.5 Transformation in den Zeitbereich

---

Diese kann prinzipiell auf drei Arten erfolgen:

- durch inverse reelle diskrete Fouriertransformation (IRDFT, auch als IRFFT)  
(nur bei AD verfügbar)
- durch inverse komplexe diskrete Fouriertransformation (ICDFT, ICFFT)  
(nur bei TI verfügbar)
- durch komplexe diskrete Fouriertransformation (bei AD und TI verfügbar)  
mittels genau einer der folgenden Methoden:
  - Eingangswerte konjugiert-komplex nehmen
  - FFT-Koeffizienten konjugiert-komplex nehmen
  - Realteil und Imaginärteil der Eingangswerte vertauschen
  - Realteil und Imaginärteil der Ausgangswerte vertauschen

Bei AD ist es sinnvoll, zunächst die IRFFT zu verwenden, die auf der CFFT aufbaut. Damit läßt sich jeder einzelne Signalabschnitt mit 64 Nutzwerten aus 128 Meßwerten direkt realisieren.

Bei TI ist es sinnvoll, die ICFFT zu wählen, da diese in der Form einer ICFFTR2\_DIF realisiert ist und ausgangsseitig wieder ein fortlaufend angeordnetes Signal liefert. Wegen der hohen Prozessorleistung ist es möglich, die ICFFT zunächst nur halb auszunutzen, um jeden einzelnen Signalabschnitt mit 64 Nutzwerten aus 128 Meßwerten für sich zu realisieren.

In einem zweiten Schritt werden dann für die Transformation in den Zeitbereich jeweils zwei Signalabschnitte zusammengefaßt.

## 9. DSP-Programmierung

---

Leider war es wegen der nötigen Parallelentwicklung aufgrund der erst sehr späten Erkennbarkeit extremer Verzögerungen bei der Markteinführung der AD-Prozessoren nicht mehr möglich, beide benötigten Prozesse auf allen Prozessorfamilien fertigzustellen.

Die Programmierung des Prozesses I (Abgleich der Anlage) wurde auf dem AD-Prozessor ADSP-21061 realisiert, die des erheblich zeitkritischeren Prozesses II (Messung von Teilentladungen) auf den TI-Prozessoren TMS320C6711 und TMS320C6701.

Die Gründe für eine Entscheidung, das C6701-EVM (TMDX326006701) zu bestellen, wurden erst Mitte Juli 2000 ausreichend klar, das Board kam Anfang September 2000 an.

Einige Details der trotz der extrem kurzen zur Verfügung stehenden Zeit erzielten Lösung sollen hier kurz dargestellt werden:

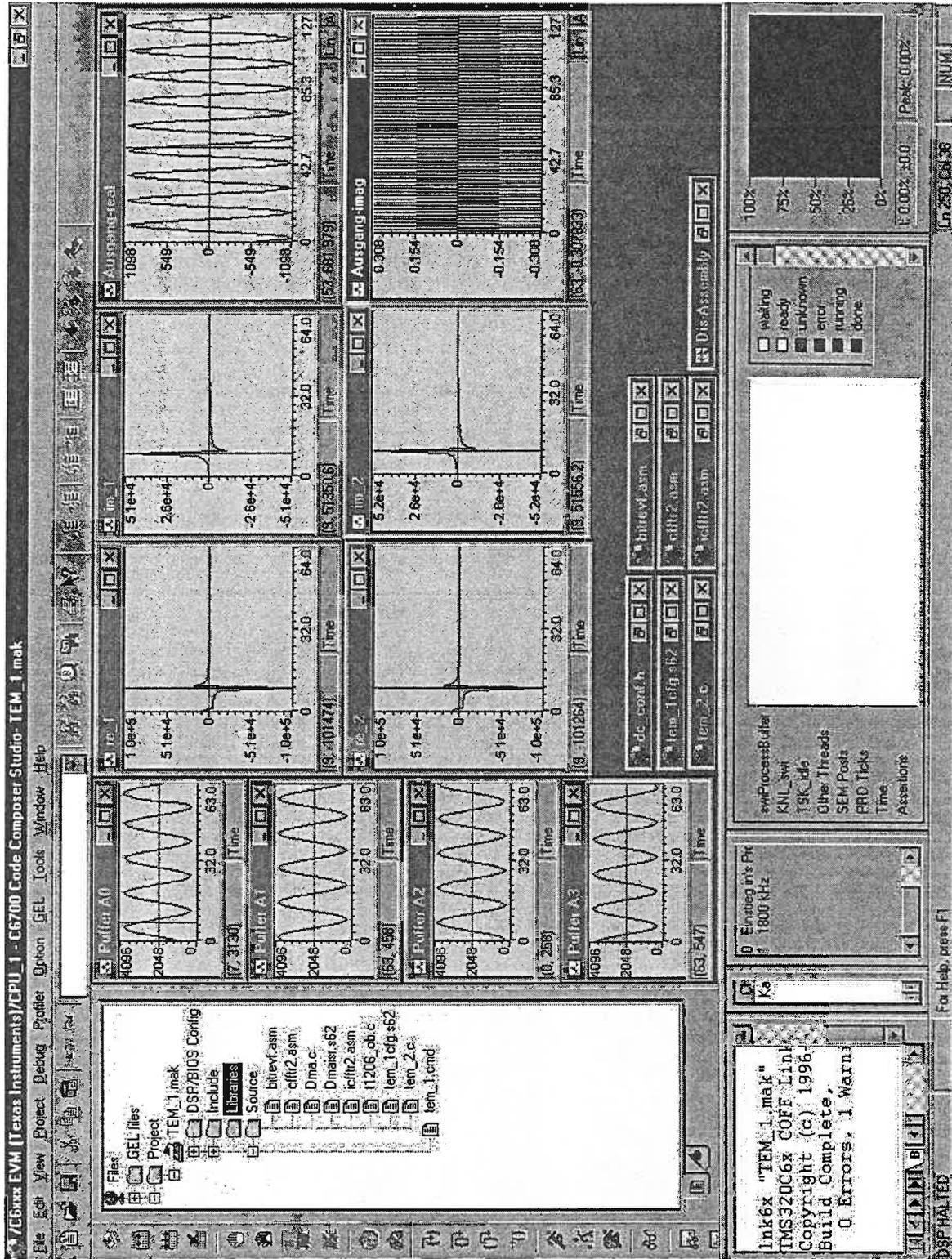
- Das Entwicklungssystem besteht aus folgenden Komponenten:
  - eigener PC mit PCI-Slots
  - C6701-EVM-Board
  - THS1206-EVM-Board
  - Toellner Function Generator
  - Tektronix TDS210 Two-Channel Digital Real-Time Oscilloscope
  - Code Composer Studio Version 1.20 mit THS1206-Plugin und DSP/BIOS
  
- A/D-Wandlung mit THS1206EVM  
Die Wandlung wird mit DMA über eine Speicherschnittstelle für zwei Kanäle synchron mit einer Abtastfrequenz bis zu 3 MHz pro Kanal betrieben.
  
- Die entwickelte DSP-Software besteht aus den Programmen
  - Grundprogramm tem\_2.c
    - Hauptprogramm (main)
    - Verarbeitung von 2 Puffern (processBuffer)
    - Initialisierung des Abtasttaktes (init\_timer0[TI])
    - Kopieren des Ergebnisses (mem2pc)
    - Dekomposition 2er Spektren (decomp)
    - Skalieren (divide128)
    - Multiplizieren komplexer Vektoren (v\_mult)
    - Signalkorrektur und Aufdoppeln des Spektrums (s\_korr)
  - komplexe FFT mit Radix-2 cfftr2.asm [TI]
  - komplexe inverse FFT mit Radix-2 icfftr2.asm [TI]
  - Bitreverse-Routine

Das System wurde mit einer Abtastrate von 1,8MHz entsprechend 0,9 MHz pro Kanal mit einem Sinussignal von 66,1 kHz auf beiden Kanälen und einer vorgegebenen Übertragungsfunktion betrieben. Die Ergebnisse:

- Imaginärteil des Ausgangssignals (Soll Null) sehr klein (+/- 0,3)
- Realteil des Ausgangssignals +/- 1098
- FFT und IFFT korrekt
- Prozessorauslastung 88,2%
- Programm läuft stabil
- keine Unterbrechungen in der Signalaufnahme
- Speicherbelegung nicht optimiert, da ausreichend klein trotz DSP/BIOS-Aufwand  
Programmspeicher: 26.368 Bytes von 65536 Bytes (40%)  
Datenspeicher: 49.535 Bytes von 65536 Bytes (75%)

Die Abbildung auf der folgenden Seite zeigt eine Momentaufnahme dieser Messungen mit dem Entwicklungssystem unter Code Composer Studio.

Als Maximalleistung wurde nach erheblichen Optimierungen auf dem nur 133 MHz schnellen Prozessor TMS320C6701 eine Abtastrate des A/D-Wandlers von 2,0 MHz entsprechend 1,0 MHz pro Kanal mit einer Prozessorauslastung von etwa 93 % erreicht.



## 10. Resumee

---

Obwohl sich die Beschaffung der ursprünglich geplanten Signalprozessoren als äußerst schwierig erwiesen hat und zum Teil nicht erfolgen konnte, wurden die wesentlichen Aufgaben des Projekts erfüllt. Die Echtzeitstörunterdrückung unter Verwendung der Übertragungsfunktion zwischen den zum Prüfling und zu einem Referenzelement gehörenden Meßsignalen kann mit einer synchronen Abtastung mit einer Frequenz von 1000 kHz erfolgen. Die dieser Abtastrate entsprechende Grenzfrequenz von 500 kHz ist für die Teilentladungsmessung vor Ort oder auch im Labor ausreichend, läßt sich aber durch Programmoptimierung erheblich erhöhen.

Die verzögerte oder auch entgegen aller Ankündigung unterbliebene Lieferbarkeit der angekündigten Signalprozessoren führte jedoch dazu, daß die ursprünglich geplante Realisierung des gesamten Systems mit Prozessoren von Analog Devices nicht fertiggestellt werden konnte. Dies hat zur Folge, daß die zu Beginn des Projekts vorgenommene nicht zeitkritische Programmierung zur Bestimmung der Übertragungsfunktion zwar auf einem Prozessor dieses Herstellers erfolgt ist, die Programmierung des zeitkritischen Echtzeit-Störunterdrückungsprogramms aber zusätzlich für einen Prozessor von Texas Instruments realisiert werden mußte. Die zunächst wie geplant auf einem Prozessor von Analog Devices durchgeführte Lösung konnte nicht auf deren Zielprozessor übertragen werden, da dieser nicht rechtzeitig lieferbar war. Die beiden Programmierungen sind nicht kompatibel, eine Übermittlung der Übertragungsfunktion in den zur Echtzeitkorrektur des Meßsignals eingesetzten Prozessor ist nicht realisiert, da sie dem geplanten Meßablauf nicht entspricht. Eine Anpassung der Programme konnte wegen der erst spät bekannt gegebenen Lieferverzögerung innerhalb der Laufzeit des Forschungsvorhabens nicht mehr erfolgen.

Die Ergebnisse zeigen aber, daß die Echtzeit-Störunterdrückung mit den geforderten Eigenschaften möglich ist. Die hierzu nötigen Aufwendungen sind wirtschaftlich attraktiv, die Systemoptimierung wissenschaftlich reizvoll - ein endgültiges System, welches beide Teile des Unterdrückungssystem in kompatiblen Programmen in einer preiswerten Hardware vereinigt und erheblich höhere Abtastraten erlaubt, ist auch nach Beendigung des Forschungsvorhabens in Bearbeitung. Es kann davon ausgegangen werden, daß ein solches System noch in diesem Jahr zur Verfügung stehen wird.

## Literatur

---

- Ausgangslage

[0] Weck, K.-H.; Weinel, F.:

Noise reduction in on-site partial discharge measurement by the use of the transfer function,  
AIF-Forschungsvorhaben 10221  
ETEP 8 (1998) pp. 299-304

- Grundlagen

[1] Smith, Steven W.: The Scientist and Engineer's Guide to Digital Signal Processing,  
ISBN 0-9660176-3-3, California Technical Publishing, San Diego 1997  
{dsptextbook.zip}

[2] Analog Devices (Hrsg.): High Speed Design Techniques (9/96),  
ISBN-0-916550-17-6, Analog Devices Inc, Norwood 1996  
{sharc ez kit lite reference manual.pdf}

[3] Analog Devices (Hrsg.): Mixed-Signal and DSP Design Techniques (8/00),  
ISBN-0-916550-23-0, Analog Devices Inc, Norwood 2000  
{sharc ez kit lite reference manual.pdf}

[4] Texas Instruments (Hrsg.): TI's Fall Analog Design Seminar Series, Fall 2000,  
Schulungsunterlagen der Fa. Texas Instruments

- DSP SHARC von Analog Devices

[5] Analog Devices (Hrsg.): ADSP-21000 Family Application Handbook Volume 1,  
First Edition (5/94),  
Analog Devices Inc, Norwood 1994  
{ad\_appli.pdf + all\_code.zip}

[6] Analog Devices (Hrsg.): ADSP-2106x SHARC EZ-KIT Lite Reference Manual,  
Analog Devices Inc, Norwood 1997  
{sharc ez kit lite reference manual.pdf}

[7] Analog Devices (Hrsg.): ADSP-2106x SHARC User's Manual, Second Edition (7/96),  
Analog Devices Inc., Norwood 1996  
{adsp-2106x sharc user's manual.pdf}

[8]Analog Devices (Hrsg.): ADSP-21160 EZ-KIT Lite User Guide, Hardware Rev. 2.2 (8/00), Analog Devices Inc, Norwood 2000  
{adsp-21160 ez-kit lite ug.pdf}  
(11/00):{adsp2116.pdf}

[9]Analog Devices (Hrsg.):  
DSP Microcomputer ADSP-21160, Preliminary Technical Data (9/99),  
Analog Devices Inc., Norwood 1999  
{21160ds\_.pdf}

[10]Analog Devices (Hrsg.):  
ADSP-21160 SHARC DSP Hardware Reference, First Edition (11/99),  
Analog Devices Inc, Norwood 1999  
{160\_hwref.pdf}

[11]Analog Devices (Hrsg.):  
ADSP-21160 SHARC DSP Instruction Set Reference, First Edition (11/99),  
Analog Devices Inc, Norwood 1999  
{160\_isref.pdf}

- DSP TMS320C6000 von Texas Instruments

[12]Texas Instruments (Hrsg.): TMS320C6x Code Development Flow (2/99),  
Texas Instruments Inc., Dallas 1999  
{spra518.pdf}

[13]Texas Instruments (Hrsg.): Code Composer Studio White Paper (5/99),  
Texas Instruments Inc., Dallas 1999  
{spra520.pdf}

[14]Texas Instruments (Hrsg.): TMS320C6211 Cache Analysis (9/98),  
Texas Instruments Inc., Dallas 1998  
{spra472.pdf}

[15]Anjanaiah, Shaku: TMS320C6000 McBSP Initialization (11/98),  
Texas Instruments Inc., Dallas 1998  
{spra488.pdf}

[16]Solis, Carlos A.P.N.: Setting Up TMS320C6201 Interrupts in C (3/99),  
Texas Instruments Inc., Dallas 1999  
{spha001.pdf}

- [17] Matusiak, Robert: Extended Precision Radix-4 Fast Fourier Transform Implemented on the TMS320C62xx (11/98),  
Texas Instruments Inc., Dallas 1998  
{spra297.pdf}
- [18] Silverthorn, Marie; Adams, Leon; Scales, Richard: Guidelines for Software Development Efficiency on the TMS320C6000 VelociTI Architecture (4/98),  
Texas Instruments Inc., Dallas 1998  
{spra434.pdf}
- [19] Courtney, Chad: Bit-Reverse and Digit-Reverse: Linear-Time Small Lookup Table Implementation for the TMS320C6000 (5/98),  
Texas Instruments Inc., Dallas 1998  
{spra440.pdf}
- [20] Scales, Richard: Software Development Techniques for the TMS320C6201 DSP (12/98),  
Texas Instruments Inc., Dallas 1998  
{spra481.pdf}
- [21] Poland, Syd:  
Understanding TMS320C62xx DSP Single-Precision Floating-Point Functions (1/99),  
Texas Instruments Inc., Dallas 1999  
{spra515.pdf}
- [22] Maughan, Thom; Rafac, Kathryn:  
DSP/BIOS by Degrees: Using DSP/BIOS Features in an Existing Application (12/99)  
Texas Instruments Inc., Dallas 1999  
{spra591.pdf}
- [23] Texas Instruments (Hrsg.):  
TMS320C6x Addendum to the TMS320 DSP Development Support Reference Guide (8/97),  
Texas Instruments Inc., Dallas 1997  
{spru226.pdf}
- [24] Texas Instruments (Hrsg.): TMS320C6000 Assembly Language Tools User's Guide (1/00),  
Texas Instruments Inc., Dallas 2000  
{spru186g.pdf}
- [25] Texas Instruments (Hrsg.): TMS320C6000 Optimizing Compiler User's Guide (3/00),  
Texas Instruments Inc., Dallas 2000  
{spru187g.pdf}

- [26]Texas Instruments (Hrsg.):  
TMS320C6000 CPU and Instruction Set Reference Guide (1/00),  
Texas Instruments Inc., Dallas 2000  
{spru189e.pdf}
- [27]Texas Instruments (Hrsg.): TMS320C6000 Peripherals Reference Guide (4/99),  
Texas Instruments Inc., Dallas 1999  
{spru190c.pdf}
- [28]Texas Instruments (Hrsg.): TMS320C6000 Technical Brief (2/99),  
Texas Instruments Inc., Dallas 1999  
{spru197d.pdf}
- [29]Texas Instruments (Hrsg.): TMS320C6000 Programmer's Guide (3/00),  
Texas Instruments Inc., Dallas 2000  
{spru198d.pdf}
- [30]Texas Instruments (Hrsg.): TMS320C6201/6701 Evaluation Module User's Guide (12/98),  
Texas Instruments Inc., Dallas 1998  
{spru269d.pdf}
- [31]Texas Instruments (Hrsg.):  
TMS320C6201/6701 Evaluation Module Technical Reference (12/98),  
Texas Instruments Inc., Dallas 1998  
{spru305.pdf}
- [32]Texas Instruments (Hrsg.):  
TMS320C6x Peripheral Support Library Programmer's Reference (7/98),  
Texas Instruments Inc., Dallas 1998  
{spru273b.pdf}
- [33]Texas Instruments (Hrsg.): TMS320C6000 Code Composer Studio Tutorial (2/00),  
Texas Instruments Inc., Dallas 2000  
{spru301c.pdf}
- [34]Texas Instruments (Hrsg.): TMS320C6000 DSP/BIOS User's Guide (3/00),  
Texas Instruments Inc., Dallas 2000  
{spru303b.pdf}
- [35]Texas Instruments (Hrsg.): Code Composer Studio User's Guide (2/00),  
Texas Instruments Inc., Dallas 2000  
{spru328b.pdf}

[36]Texas Instruments (Hrsg.): TMS320C64x Technical Overview (2/00),  
Texas Instruments Inc., Dallas 2000  
{spru395.pdf}

[37]Texas Instruments (Hrsg.):  
TMS320C000 DSP/BIOS Application Programming Interface (API) Reference Guide (2/00),  
Texas Instruments Inc., Dallas 2000  
{spru403a.pdf}

[38]Texas Instruments (Hrsg.): Code Composer Studio Quick Start Guide [‘C6211 DSK](8/99),  
Texas Instruments Inc., Dallas 2000  
{spru356.pdf}

[39]Texas Instruments (Hrsg.): TMS320C6701 Floating-Point Digital Signal Processor (5/00),  
Texas Instruments Inc., Dallas 2000  
{sprs067e.pdf}

[40]Texas Instruments (Hrsg.): TMS320C6211 Fixed-Point Digital Signal Processor,  
TMS320C6711 Floating-Point Digital Signal Processor (8/00),  
Texas Instruments Inc., Dallas 2000  
{sprs073d.pdf}

[41]Texas Instruments (Hrsg.):  
TMS320C6201 Test and Evaluation Board Technical Reference (12/97),  
Texas Instruments Inc., Dallas 1997  
{spru235a.pdf}

[42]Texas Instruments (Hrsg.): C6211 DSP Starter Kit schematics (rev A) (11/99),  
Texas Instruments Inc., Dallas 1999  
{6211 dsk\_production\_sch.pdf}

- Analog-Digital-Wandler

[43]Texas Instruments (Hrsg.):  
THS1206 12-Bit 6 MSPS, Simultaneous Sampling Analog-to-Digital Converters (11/00),  
Texas Instruments Inc., Dallas 2000  
{slas217e.pdf}

[44]Texas Instruments (Hrsg.):  
THS1206, THS12082, THS10064, THS10082 Evaluation Module (5/00),  
Texas Instruments Inc., Dallas 2000  
{slau042a.pdf}

[45]Texas Instruments (Hrsg.): THS1206E (EAGLE-Schematic of THS1206EVM) (8/00), Texas Instruments Inc., Dallas 2000  
{ths1206e.sch}

[46]Heinz-Peter Beckemeyer: Designing With the THS1206 High-Speed Data Converter(4/00), Texas Instruments Inc., Dallas 2000  
{s1aa094.pdf}

[47]Analog Devices (Hrsg.): 16-Bit, 1.2 MSPS CMOS, Sigma-Delta ADC AD7723 (4/98), Analog Devices Inc, Norwood 1998  
{ad7723\_0.pdf}

[48]Analog Devices (Hrsg.):  
Evaluation Board for 16-Bit, 1.2 MSPS CMOS, Sigma-Delta ADC EVAL-AD7723CB (4/98), Analog Devices Inc, Norwood 1998  
{ad7723\_0.pdf}

[49]Analog Devices (Hrsg.): High-Speed Oversampling CMOS ADC with 16-Bit Resolution at a 2.5 MHz Output Word Rate AD9260, Rev. B (5/00), Analog Devices Inc, Norwood 2000  
{ad9260\_b.pdf}

- Digital-Analog-Wandler

[50]Analog Devices (Hrsg.):  
5 V, Serial-Input Voltage-Output, 16-Bit DACs AD5541/AD5542 , Rev. A (11/99), Analog Devices Inc, Norwood 1999  
{ad5541\_2\_a.pdf}

- rauscharme Verstärker

[51] Rowland, Patrick: Selecting an Amplifier for a Data Converter (10/99), Texas Instruments Inc., Dallas 1999  
{s1oa035.pdf}

[52]Texas Instruments (Hrsg.):  
THS4130, THS4131 High-Speed, Low Noise, Fully Differential I/O Amplifiers (9/00), Texas Instruments Inc., Dallas 2000  
{s1os318b.pdf}

[53]Texas Instruments (Hrsg.):  
THS4130 EVM User's Guide for High-Speed, Operational Amplifier (12/00), Texas Instruments Inc., Dallas 2000  
{s1ou101}

[54]Texas Instruments (Hrsg.): High-Speed Amplifiers Data Book (5/00),  
Texas Instruments Inc., Dallas 2000  
{slod005}

[55] Maxim Integrated Products (Hrsg.):  
350 MHz, Ultra-Low-Noise Op Amps MAX4106/ MAX4107, Rev. 1 (11/95)  
Maxim Integrated Products, Sunnyvale 1995  
{max410x.pdf}

[56]Analog Devices (Hrsg.): Dual 160 MHz Rail-to-Rail Amplifier AD8042, Rev. 0,  
Analog Devices Inc, Norwood 1995  
{ad8042.pdf}

[57]Analog Devices (Hrsg.): Low Distortion Differential ADC Driver AD8138, Rev. A (9/99),  
Analog Devices Inc, Norwood 1999  
{ad8138\_a.pdf}

[58]Analog Devices (Hrsg.):  
Single Supply, Rail to Rail Low Power FET-Input Op Amp AD820, Rev. A (6/00),  
Analog Devices Inc, Norwood 2000  
{ad820.pdf}

- sonstige Bauelemente

[59] Lattice Semiconductor Corp. (Hrsg.):  
ispLSI 2064VE, 3,3 V In-System-Programmable High-Density SuperFAST PLD (9/00)  
Lattice Semiconductor Corp. , Hillsboro 2000

[60] Texas Instruments (Hrsg.): TPS767D301, TPS767D318, TPS767D325 Dual-Output  
Low-Dropout Voltage Regulators (4/00),  
Texas Instruments Inc., Dallas 2000  
{slvs209b.pdf}

[61] Maxim Integrated Products (Hrsg.): 125mA, Frequency-Selectable, Switched-Capacitor  
Voltage Converters MAX1680/MAX1681, Rev. 0 (7/97)  
Maxim Integrated Products, Sunnyvale 1997  
{1736.pdf}

- sonstiges

[62] Texas Instruments (Hrsg.): PCB Design Guidelines For Reduced EMI (11/99),  
Texas Instruments Inc., Dallas 1999  
{szza009.pdf}

[63] Lemke Diagnostics (Hrsg.): Teilentladungs-meßsystem LDS-6, Handbuch (01/99),  
Lemke Diagnostics GmbH, Volkersdorf 1999